

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-116182
(43)Date of publication of application : 21.04.2000

(51)Int.CI. H02P 7/00
F02D 41/20
F16K 31/06
H02M 3/155
H03K 3/78
H03K 7/08
// H02P 7/63

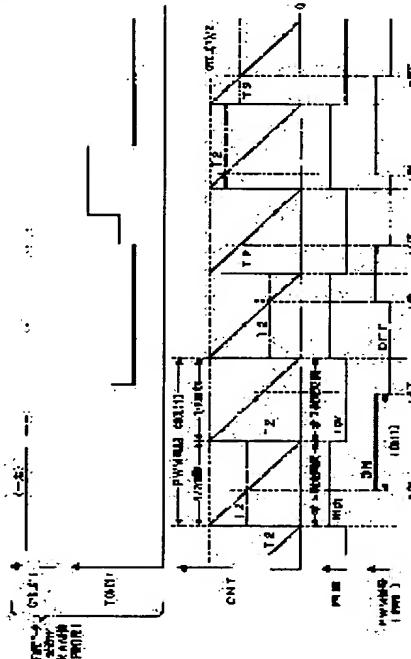
(21)Application number : 10-278747 (71)Applicant : DENSO CORP
(22)Date of filing : 30.09.1998 (72)Inventor : HONDA TAKAYOSHI

(54) GENERATOR FOR PULSE WIDTH MODULATION SIGNAL

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a generator for generating a pulse width modulation(PWM) signal which can vary the duty cycle of the PWM signal with a good responsibility without disturbing the period of the PWM signal.

SOLUTION: Based on an ON-time data TON calculated every predetermined time by a CPU and stored in a RAM which represents the count value corresponding to a high-level time per one cycle (CYCL) of a PWM signal, a circuit for generating and outputting the PWM signal for driving an electrical load clocks repeatedly by a down-counter the half-period time of the PWM signal, and whenever the count value CNT of the down-counter becomes zero, the circuit inverts a flag PFLG1 and reads the ON-time data TON from the RAM. Then, when during the term of the flag PFLG1 being high the foregoing count value CNT becomes the half value of the ON-time data TON, the circuit makes high the PWM signal. Further, when during the term of the flag PFLG1 being low the foregoing count value CNT becomes the half value of the value obtained by subtracting the ON-time data TON from the value corresponding to the one cycle time of the PWM signal, the circuit makes low the PWM signal.



LEGAL STATUS

[Date of request for examination] 28.10.2002

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3438609
[Date of registration] 13.06.2003
[Number of appeal against examiner's decision
of rejection]
[Date of requesting appeal against examiner's
decision of rejection]
[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-116182

(P2000-116182A)

(43) 公開日 平成12年4月21日(2000.4.21)

(51) Int.Cl.⁷ 課別記号
H 02 P 7/00 1 0 1
F 02 D 41/20 3 3 0
F 16 K 31/06 3 1 0
H 02 M 3/155
H 03 K 3/78

F I
H 02 P 7/00 1 0 1 H 3 G 3 0 1
F 02 D 41/20 3 3 0 3 H 1 0 6
F 16 K 31/06 3 1 0 A 5 H 5 4 0
H 02 M 3/155 P 5 H 5 7 6
H 03 K 3/78 5 H 7 3 0

審査請求 未請求 請求項の数 5 O L (全 27 頁) 最終頁に続く

(21) 出願番号 特願平10-278747

(71) 出願人 000004260

株式会社デンソー

愛知県刈谷市昭和町1丁目1番地

(22) 出願日 平成10年9月30日(1998.9.30)

(72) 発明者 本多 隆芳

愛知県刈谷市昭和町1丁目1番地 株式会
社デンソー内

(74) 代理人 100082500

弁理士 足立 勉

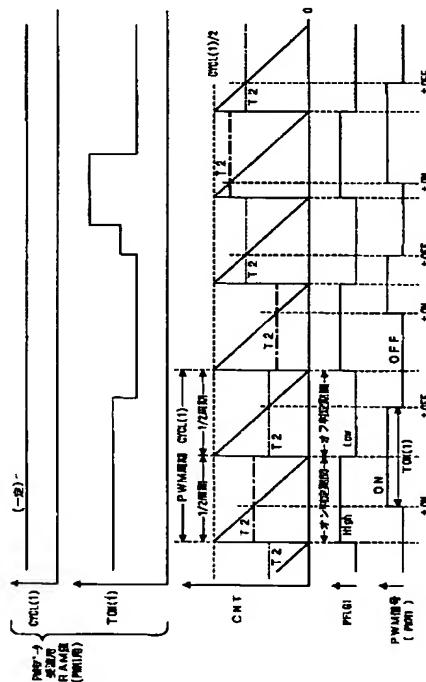
(54) 【発明の名称】 パルス幅変調信号生成装置

最終頁に続く

(57) 【要約】

【課題】 パルス幅変調(PWM)信号の周期乱れを招くことなく、PWM信号のデューティ比を応答性良く変化可能なパルス幅変調信号生成装置を提供する。

【解決手段】 PWM信号1周期当たりのHighレベル時間に相当するカウント値を表すデータであって、CPUにて所定時間毎に算出されてRAMに記憶されるオン時間データTONに基づき、電気負荷駆動用のPWM信号を生成・出力する回路は、ダウンカウンタによりPWM信号の半周期時間を繰り返し計時すると共に、ダウンカウンタのカウント値CNTが0となる度に、フラグPFLG1を反転させると共に、RAMからオン時間データTONを読み込む。そして、フラグPFLG1がHighの間に、上記カウント値CNTがTONの半分値になるとPWM信号をHighにし、フラグPFLG1がLowの間に、上記カウント値CNTがPWM信号1周期時間に相当する値からTONを引いた値の半分値になるとPWM信号をLowにする。



【特許請求の範囲】

【請求項1】 電気負荷に電流を流す通電手段へ、デューティ比を制御したパルス幅変調信号を駆動信号として出力することにより、前記電気負荷に流れる電流を制御する電気負荷の通電制御装置に用いられ、
前記パルス幅変調信号の1周期当たりに該信号を第1レベル又は第2レベルに保持すべき時間を表すデータであって、前記通電制御装置に設けられた演算手段により所定の演算周期毎に算出されて特定のデータ記憶手段に更新記憶される駆動データに基づき、前記通電手段へのパルス幅変調信号を繰り返し生成して出力するパルス幅変調信号生成装置において、
前記演算手段の演算周期とは同期せずに、前記パルス幅変調信号1周期時間の半分の時間である半周期時間を繰り返し計時する計時手段と、
該計時手段が前記半周期時間を計時する各計時期間を、第1判定期間と第2判定期間とに、交互に設定する期間設定手段と、
前記計時手段が前記半周期時間の計時を新たに開始する毎に、前記データ記憶手段から前記駆動データを読み込む駆動データ読込手段と、
前記計時手段の計時期間が前記期間設定手段によって前記第1判定期間に設定されている場合に、前記駆動データ読込手段にて読み込まれた駆動データに基づき、前記計時手段による計時時間が前記パルス幅変調信号1周期当たりに該信号を第2レベルに保持すべき時間の半分である第2時間に達したか否かを判定して、該第2時間に達したと判定すると前記パルス幅変調信号の信号レベルを第1レベルに設定し、前記計時手段の計時期間が前記期間設定手段によって前記第2判定期間に設定されている場合に、前記駆動データ読込手段にて読み込まれた駆動データに基づき、前記計時手段による計時時間が前記パルス幅変調信号1周期当たりに該信号を第1レベルに保持すべき時間の半分である第1時間に達したか否かを判定して、該第1時間に達したと判定すると前記パルス幅変調信号の信号レベルを第2レベルに設定する信号レベル設定手段と、
を備え、前記信号レベル設定手段によって信号レベルが設定されたパルス幅変調信号を出力することを特徴とするパルス幅変調信号生成装置。

【請求項2】 請求項1に記載のパルス幅変調信号生成装置において、

前記駆動データ読込手段は、

前記計時手段が前記半周期時間の計時を開始してから、前記信号レベル設定手段にて前記計時手段による計時時間が前記第1時間或いは前記第2時間に達したと判定されるまでの間、前記データ記憶手段内の駆動データを常時更新して読み込むように構成されていること、
を特徴とするパルス幅変調信号生成装置。

【請求項3】 請求項1に記載のパルス幅変調信号生成装

置において、

前記計時手段が前記半周期時間の計時を開始してから、次の半周期時間の計時を開始するまでの間に、前記データ記憶手段内の駆動データが前記演算手段の動作によって更新されたか否かを監視し、前記駆動データの更新を検出すると、前記駆動データ読込手段を前記計時手段の計時動作とは非同期に動作させて、前記信号レベル設定手段が前記計時時間の判定に用いる駆動データを、前記データ記憶手段内の最新の駆動データに更新させる監視手段と、

前記計時手段が前記半周期時間の計時を開始してから、前記信号レベル設定手段にて前記計時手段による計時時間が前記第1時間或いは前記第2時間に達したと判定されると、その後、前記計時手段が次の半周期時間の計時を開始するまでの間、前記信号レベル設定手段の判定動作を停止させて前記パルス幅変調信号の信号レベルが反転するのを禁止するレベル反転禁止手段と、
を備えたこと特徴とするパルス幅変調信号生成装置。

【請求項4】 請求項1ないし請求項3の何れかに記載のパルス幅変調信号生成装置において、

当該パルス幅変調信号生成装置は、
2つの電気負荷に夫々電流を流す各通電手段へのパルス幅変調信号に対応する前記駆動データを、前記演算手段が夫々算出して2つのデータ記憶手段に記憶させる電気負荷の通電制御装置に用いられるものであり、
前記計時手段及び前記期間設定手段以外の各手段を、前記2つのデータ記憶手段に夫々対応させて2つ備えると共に、

2つの信号レベル設定手段のうちの一方は、前記動作に代えて、前記計時手段の計時期間が前記期間設定手段によって前記第2判定期間に設定されている場合に、自己に対応する方の駆動データ読込手段にて読み込まれた駆動データに基づき、前記計時手段による計時時間が前記パルス幅変調信号1周期当たりに該信号を第2レベルに保持すべき時間の半分である第2時間に達したか否かを判定して、該第2時間に達したと判定すると前記パルス幅変調信号の信号レベルを第1レベルに設定し、前記計時手段の計時期間が前記期間設定手段によって前記第1判定期間に設定されている場合に、自己に対応する方の駆動データ読込手段にて読み込まれた駆動データに基づき、前記計時手段による計時時間が前記パルス幅変調信号1周期当たりに該信号を第1レベルに保持すべき時間の半分である第1時間に達したか否かを判定して、該第1時間に達したと判定すると前記パルス幅変調信号の信号レベルを第2レベルに設定するよう構成されており、

前記2つの信号レベル設定手段の各々によって信号レベルが設定された各パルス幅変調信号を出力することを特徴とするパルス幅変調信号生成装置。

【請求項5】 請求項1ないし請求項4の何れかに記載

のパルス幅変調信号生成装置において、前記計時手段は、一定時間毎にカウント値が所定数ずつ減少或いは増加すると共に、前記パルス幅変調信号の1周期時間でカウント値が2巡するダウンカウンタ或いはアップカウンタからなること、を特徴とするパルス幅変調信号生成装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、電気負荷に流れる電流を制御するためのパルス幅変調信号を生成して出力するパルス幅変調信号生成装置に関する。

【0002】

【従来の技術、及び発明が解決しようとする課題】電磁弁や電磁式のアクチュエータには、その動力源としてリニアソレノイドが設けられており、電磁弁の開度やアクチュエータによる駆動対象物の変位量を調整する際には、リニアソレノイドへの通電電流量を制御するようにしている。

【0003】そして、こうしたリニアソレノイド等の誘導性を有した電気負荷（誘導性負荷）に流れる電流量を制御する際には、通常、電気負荷をトランジスタ等からなる通電手段としてのスイッチング素子を介して直流電源に接続し、このスイッチング素子を、デューティ比を制御したパルス幅変調信号（以下、PWM信号ともいう）にてオン・オフさせることにより、電気負荷に流れる電流を制御するようにしており、更に、電磁弁の開度や駆動対象物の変位量を高精度に制御する必要がある場合には、電気負荷に実際に流れた電流を検出し、その検出電流が制御演算処理で算出した目標電流となるように、スイッチング素子へのPWM信号のデューティ比を増・減する、所謂電流フィードバック制御を行うようにしている。

【0004】ここで、従来より、上記のような電流制御を行う電気負荷の通電制御装置では、CPU（中央処理装置）等の演算部が、所定の演算周期毎にPWM信号のデューティ比を算出し、この演算部とは別個に設けられた論理回路等からなるPWM信号出力部が、演算部にて算出されたデューティ比でスイッチング素子へPWM信号を出力するようにしている。

【0005】具体的に説明すると、演算部は、算出したデューティ比に基づいて、PWM信号の1周期当たりにスイッチング素子をオン又はオフさせる時間（つまり、PWM信号の1周期当たりに該信号をHighレベル又はLowレベルに保持すべき時間）を求め、その時間を表すデータを、RAMの特定アドレスに格納するようにしている。一方、PWM信号出力部は、PWM信号の1周期を繰り返し計時する計時用のカウンタと、RAMの上記特定アドレスに格納されたデータが転送されるレジスタとを備えており、カウンタの値に基づき検出されるPWM信号の1周期の開始時点で、PWM信号をHighレベル

（又はLowレベル）にすると共に、演算部によりRAMの上記特定アドレスに格納されているデータを上記レジスタへ転送し、その後、カウンタの値が上記レジスタ内のデータ値に達した時点でPWM信号の出力レベルを反転させる、といった動作を繰り返すことにより、演算部で算出されたデューティ比のPWM信号を生成・出力するよう構成されている。

【0006】そして、このような構成により、演算部がPWM信号を出力するための複雑な処理を実行する必要なく、スイッチング素子へ所望デューティ比のPWM信号を駆動信号として出力することができるようになっている。ところが、上記従来のPWM信号出力部では、演算部により算出されたデューティ比がスイッチング素子の駆動に実際に反映されるまでには、最大でPWM信号1周期分の時間を要してしまい、電気負荷への電流を制御する際の応答性を向上させるには限度があった。つまり、PWM信号出力部は、PWM信号1周期の開始時点で、そのときRAMの特定アドレスに格納されているデータを自己のレジスタへ転送するよう構成されているため、PWM信号の1周期中に、演算部が最新のデューティ比を算出して、それに対応するデータをRAMの特定アドレスに格納しても、その最新のデータは、次のPWM信号の周期でしか出力に反映されないのである。

【0007】そこで、こうした問題を解決するために、特開平10-2248号公報には、カウンタによってPWM信号の1周期時間の計時を開始してから、次の1周期時間の計時を開始するまでの間に、演算部によりRAMの上記特定アドレス内のデータが更新されたか否かを監視して、データの更新が検出されると、その最新のデータをRAMから自己のレジスタに転送すると共に、カウンタの値と上記レジスタ内のデータ値とを常時比較して、カウンタの値が上記レジスタ内のデータ値に達しないければPWM信号を一方のレベル（例えばLowレベル）にし、カウンタの値が上記レジスタ内のデータ値に達していればPWM信号を他方のレベル（例えばHighレベル）にすることが提案されている。

【0008】但し、このように構成した場合には、演算部によってRAMの特定アドレスに格納された最新のデータをPWM信号のデューティ比に即座に反映させることができるもの、PWM信号の1周期中において、信号レベルが既に反転した後、元のレベルに戻され、その後、再び反転されるといった具合に、PWM信号の1周期中に信号レベルが3回以上変化する場合があり、PWM信号の周期が乱れてしまうという問題がある。

【0009】つまり、PWM信号は、通常、その1周期中に、LowレベルからHighレベルへ、HighレベルからLowレベルへといった具合に、信号レベルが2回変化するが、信号レベルが3回以上変化するということは、PWM信号の周期自信が変化するということである。そして、この種の電気負荷の通電制御装置において、スイッ

チング素子へ出力されるPWM信号の周期は、電磁弁等の駆動対象物の変位量を調整するのに最適な値に設定されているため、その周期から外れてしまうと、駆動対象物の制御性が悪化してしまう。

【0010】一方、例えば特開平6-30594号公報には、図18に示すように、PWM信号の1周期と同じ周期の三角波を発生させると共に、その三角波のレベルと、PWM信号1周期中のHighレベル時間（PWM信号の1周期当たりに該信号をHighレベルに保持すべき時間）に比例したしきい値（スレッショルド）V_{th}とを大いに比較して、三角波のレベルがしきい値V_{th}以下の場合はPWM信号をHighレベルにし、そうでなければPWM信号をLowレベルにすることにより、しきい値V_{th}に応じたデューティ比のPWM信号を生成することが記載されている。尚、図18における「PWM信号」の欄では、「ON」がHighレベルを示し、「OFF」がLowレベルを示している。

【0011】そして、このような手法によってPWM信号を生成した場合でも、図18の右半分に示すように、しきい値V_{th}の変更タイミングがPWM信号の1周期中に何回もあると、同図18における一点鎖線の楕円内に示すように、出力されるPWM信号の周期に乱れが生じ、駆動対象物の制御性が悪化してしまう。

【0012】また、上記特開平6-30594号公報には、こうした不具合を防止するために、三角波のレベルと実際に比較されるしきい値V_{th}の変動を、積分回路によって抑制する構成が記載されているが、しきい値V_{th}の変動をただ単に抑制したのでは、PWM信号のデューティ比に対する本来の反映速度までも低下してしまい、その結果、電気負荷への電流を制御する際の応答性を大きく損ねてしまう。

【0013】本発明は、こうした問題に鑑みなされたものであり、PWM信号の周期の乱れを招くことなく、PWM信号のデューティ比を応答性良く変化させることのできるパルス幅変調信号生成装置を提供することを目的としている。

【0014】

【課題を解決するための手段、及び発明の効果】上記目的を達成するためになされた請求項1に記載の本発明のパルス幅変調信号生成装置は、電気負荷に電流を流す通電手段へ、デューティ比を制御したPWM信号（パルス幅変調信号）を駆動信号として出力することにより、前記電気負荷に流れる電流を制御する電気負荷の通電制御装置に用いられ、PWM信号の1周期当たりに該信号を第1レベル又は第2レベルに保持すべき時間を表すデータであって、前記通電制御装置に設けられた演算手段により所定の演算周期毎に算出されて特定のデータ記憶手段に更新記憶される駆動データに基づき、前記通電手段へのPWM信号を繰り返し生成して出力するものである。

【0015】ここで、本発明のパルス幅変調信号生成装置では、計時手段が、前記演算手段の演算周期とは同期せずに、PWM信号1周期時間の半分（2分の1）の時間である半周期時間を繰り返し計時し、この計時手段が前記半周期時間を計時する各計時期間（即ち、PWM信号の各半周期）を、期間設定手段が、第1判定期間と第2判定期間とに、交互に設定する。また、駆動データ読込手段が、計時手段が前記半周期時間の計時を新たに開始する毎に、前記データ記憶手段から駆動データを読み込む。

【0016】そして、信号レベル設定手段が、期間設定手段によって計時手段の計時期間が第1判定期間に設定されている場合に、駆動データ読込手段にて読み込まれた駆動データに基づき、計時手段による計時時間がPWM信号1周期当たりに該信号を第2レベルに保持すべき時間の半分である第2時間に達したか否かを判定して、その第2時間に達したと判定すると、通電手段へのPWM信号の信号レベルを第1レベルに設定し、また、信号レベル設定手段は、期間設定手段によって計時手段の計時期間が第2判定期間に設定されている場合に、駆動データ読込手段にて読み込まれた駆動データに基づき、計時手段による計時時間がPWM信号1周期当たりに該信号を第1レベルに保持すべき時間の半分である第1時間に達したか否かを判定して、その第1時間に達したと判定すると、通電手段へのPWM信号の信号レベルを第2レベルに設定する。

【0017】このため、本発明のパルス幅変調信号生成装置によれば、演算手段によってデータ記憶手段内の駆動データが更新されてから、その最新の駆動データが電気負荷の通電手段へ出力されるPWM信号のデューティ比に反映されるまでの遅れ時間が、最大でもPWM信号の2分の1の周期時間（半周期時間）となり、その遅れ時間の最大値がPWM信号の1周期時間となる従来装置（前述したPWM信号出力部）に比べて、電気負荷への電流を制御する際の応答性を大幅に向上させることができる。

【0018】つまり、本発明では、前述した従来装置のように、PWM信号の1周期時間を計時することにより、その1周期時間が経過したタイミングを、PWM信号の立ち上げ或いは立ち下げタイミングとして設定するのではなく、PWM信号の半周期時間を繰り返し計時する計時手段を設けると共に、その計時手段がPWM信号の半周期時間を計時する各計時期間を、PWM信号を第2レベルから第1レベルに反転させる第1判定期間と、PWM信号を第1レベルから第2レベルに反転させる第2判定期間とに交互に設定している。そして、第1判定期間において、PWM信号を第2レベルに保持すべき時間の2分の1の時間（第2時間）が経過した際には、PWM信号を第1レベルに切り換え、第2判定期間において、PWM信号を第1レベルに保持すべき時間の2分の

1の時間（第1時間）が経過した際には、PWM信号を第2レベルに切り換えるようにしている。よって、演算手段によりPWM信号のデューティ比を決める駆動データが更新された際に、PWM信号のデューティ比がその更新された駆動データに対応するまでの遅れ時間を、最大でも、PWM信号の1周期の2分の1の時間に抑えることができ、従来装置と比べて、電気負荷に対する電流制御の応答性を向上させることができる。

【0019】また更に、本発明のパルス幅変調信号生成装置では、信号レベル設定手段が前記計時時間の判定に用いる駆動データ（つまり、PWM信号の立ち上げと立ち下げとのタイミングを決定するデータ記憶手段内の駆動データ）を、計時手段がPWM信号の半周期時間の計時を新たに開始するタイミングで読み込むようにしているため、PWM信号の1周期中に信号レベルが3回以上変化することがない。

【0020】よって、本発明のパルス幅変調信号生成装置によれば、PWM信号の周期の乱れを招くことなく、PWM信号のデューティ比を応答性良く変化させることができ、電気負荷への電流を制御する際の応答性と制御性とを両立させることができる。

【0021】ところで、請求項1に記載のパルス幅変調信号生成装置において、駆動データ読込手段は、計時手段がPWM信号の半周期時間の計時を新たに開始する毎にデータ記憶手段から駆動データを読み込むように構成されるが、請求項2に記載の如く、駆動データ読込手段は、計時手段がPWM信号の半周期時間の計時を開始してから、信号レベル設定手段にて計時手段による計時時間が第1時間或いは第2時間に達したと判定されるまでの間（つまり、PWM信号の信号レベルが反転されるまでの間）、データ記憶手段内の駆動データを常時更新して読み込むように構成すれば、PWM信号のデューティ比が演算手段にて更新された最新の駆動データに対応するまでの遅れ時間を、PWM信号の周期の乱れを招くことなく、より短くすることができる。

【0022】また、請求項3に記載の如く、請求項1に記載のパルス幅変調信号生成装置に対して、計時手段がPWM信号の半周期時間の計時を開始してから、次の半周期時間の計時を開始するまでの間に、データ記憶手段内の駆動データが演算手段の動作によって更新されたか否かを監視し、駆動データの更新を検出すると、駆動データ読込手段を計時手段の計時動作とは非同期に動作させて、信号レベル設定手段が前記計時時間の判定に用いる駆動データを、データ記憶手段内の最新の駆動データに更新させる監視手段と、計時手段がPWM信号の半周期時間の計時を開始してから、信号レベル設定手段にて計時手段による計時時間が前記第1時間或いは前記第2時間に達したと判定されると（つまり、PWM信号の信号レベルが反転されると）、その後、計時手段が次の半周期時間の計時を開始するまでの間、信号レベル設定手段

の判定動作を停止させてPWM信号の信号レベルが反転するのを禁止するレベル反転禁止手段とを設けるようにしても、PWM信号のデューティ比が演算手段にて更新された最新の駆動データに対応するまでの遅れ時間を、PWM信号の周期の乱れを招くことなく、より短くすることができる。

【0023】次に、請求項4に記載のパルス幅変調信号生成装置は、2つの電気負荷に夫々電流を流す各通電手段へのPWM信号に対応する駆動データ（PWM信号の1周期当たりに該信号を第1レベル又は第2レベルに保持すべき時間を表すデータ）を、前記演算手段が夫々算出して2つのデータ記憶手段に記憶させる電気負荷の通電制御装置に用いられる。

【0024】そして、請求項4に記載のパルス幅変調信号生成装置は、前記計時手段及び前記期間設定手段以外の各手段（即ち、駆動データ読込手段と信号レベル設定手段、或いは更に、請求項3に記載の監視手段及びレベル反転禁止手段）を、2つのデータ記憶手段に夫々対応させて2つ備えている。

【0025】そして更に、2つの信号レベル設定手段のうちの一方は、計時手段の計時期間が期間設定手段によって第2判定期間に設定されている場合に、自己に対応する方の駆動データ読込手段にて読み込まれた駆動データに基づき、計時手段による計時時間がPWM信号1周期当たりに該信号を第2レベルに保持すべき時間の半分である第2時間に達したか否かを判定して、その第2時間に達したと判定するとPWM信号の信号レベルを第1レベルに設定し、また、計時手段の計時期間が期間設定手段によって第1判定期間に設定されている場合に、自己に対応する方の駆動データ読込手段にて読み込まれた駆動データに基づき、計時手段による計時時間がPWM信号1周期当たりに該信号を第1レベルに保持すべき時間の半分である第1時間に達したか否かを判定して、その第1時間に達したと判定するとPWM信号の信号レベルを第2レベルに設定する。

【0026】つまり、2つの信号レベル設定手段の各々は、計時手段にて計時されるPWM信号の半周期時間だけずれた状態で動作する。そして、このパルス幅変調信号生成装置では、2つの信号レベル設定手段の各々によって信号レベルが設定された各PWM信号を、それに対応する方の通電手段へ夫々出力する。

【0027】このような請求項4に記載のパルス幅変調信号生成装置において、請求項1～請求項3に記載のパルス幅変調信号生成装置と同じ動作を行う信号レベル設定手段により信号レベルが設定されるPWM信号は、計時手段の計時期間（計時手段がPWM信号の半周期時間を計時する計時期間）が第1判定期間に設定されている場合に、第2レベルから第1レベルに反転し、計時手段の計時期間が第2判定期間に設定されている場合に、第1レベルから第2レベルに反転する。これに対して、も

う一方の信号レベル設定手段により信号レベルが設定されるPWM信号は、計時手段の計時期間が第1判定期間に設定されている場合に、第1レベルから第2レベルに反転し、計時手段の計時期間が第2判定期間に設定されている場合に、第2レベルから第1レベルに反転することとなる。

【0028】このため、請求項4に記載のパルス幅変調信号生成装置によれば、例えばPWM信号が第1レベルの場合に通電手段が電気負荷に電流を流すものとすると、2つのPWM信号の1周期時間における第1レベルの時間の割合（即ち、デューティ比）の合計が、100%未満であれば、2つのPWM信号が同時に第1レベルとならず、その結果、2つの電気負荷に同時に電流が流れることができ防止され、当該パルス幅変調信号生成装置が用いられる通電制御装置において、電気負荷に電流を流すための電源電圧の変動を抑制するのに非常に有利である。つまり、2つの電気負荷に同時に電流が流れると、電源電圧が変動し易くなり、他の電子機器への悪影響が心配されるが、請求項4に記載のパルス幅変調信号生成装置によれば、こうした問題を防ぐことができる。

【0029】一方、請求項1～請求項4に記載のパルス幅変調信号生成装置において、計時手段としては、一定時間毎にカウント値が所定数ずつ（一般には1ずつ）減少（ダウン）或いは増加（アップ）するデジタル式のカウンタを用いることができる。そして、そのカウンタとしては、PWM信号の半周期時間毎に、アップカウントとダウンカウントとを交互に行うアップダウンカウンタを用いることもできるが、請求項5に記載のように、PWM信号の1周期時間でカウント値が2巡するダウンカウンタ或いはアップカウンタを計時手段として用いれば、パルス幅変調信号生成装置の構成を簡素化することができる。また特に、請求項4に記載のパルス幅変調信号生成装置のように、2つの信号レベル設定手段が1つの計時手段を共用する構成の場合には、2つの信号レベル設定手段の構成を同じものとすることで、非常に有利である。

【0030】

【発明の実施の形態】以下に、本発明の一実施形態を図面と共に説明する。

【第1実施形態】図1は、自動車に搭載された電磁弁や電磁式アクチュエータに設けられたリニアソレノイドを制御する第1実施形態の通電制御装置（以下単に、制御装置という）10の構成を表すブロック図である。

【0031】本第1実施形態の制御装置10は、自動車の内燃機関を目標状態に制御するために、内燃機関に設けられた複数（本実施形態では4個）のリニアソレノイドL1～L4（図ではL1のみを示す）を個々に通電制御するためのものである。そして、この制御装置10は、自動車に搭載された各種センサ（図示省略）からの信号等に基づき各リニアソレノイドL1～L4に流すべ

き目標電流を算出すると共に、その目標電流に従って、各リニアソレノイドL1～L4に流れる電流をフィードバック制御するリニアソレノイド制御用マイクロコンピュータ（以下、マイコンという）14を備えている。

【0032】ここで、マイコン14は、各リニアソレノイドL1～L4を通電制御するための様々な処理を行つて、各リニアソレノイドL1～L4をPWM信号にてデューティ駆動するためのデューティ比を演算し、その演算結果に基づくPWMデータをPWMデータ受渡用のRAM22に格納する、演算手段としてのCPU20と、PWMデータ受渡用RAM22から各リニアソレノイドL1～L4に対応するPWMデータを夫々読み込み、各リニアソレノイドL1～L4をデューティ駆動するためのPWM信号PWM1, PWM2, PWM3, PWM4を夫々生成して出力する、パルス幅変調信号生成装置としてのPWM信号出力回路26とを備えている。

【0033】一方、電流制御の対象となるリニアソレノイドL1は、バッテリの正極側に接続された電源ライン（電源電圧Vb）からバッテリの負極側に接続されたグランドラインに至る通電経路上に配置されており、その通電経路のリニアソレノイドL1よりも電源ライン側には、所謂ハイサイドスイッチとしてFET28が設けられ、更に、このFET28のゲートには、エミッタがグランドラインに接続されたNPNトランジスタ29のコレクタが接続されている。

【0034】NPNトランジスタ29は、FET28のゲートをグランドラインに接地することにより、FET28をオンさせるためのものであり、そのベースには、PWM信号出力回路26からリニアソレノイドL1通電用のPWM信号PWM1が入力される。この結果、通電手段としてのNPNトランジスタ29及びFET28は、PWM信号PWM1が第1レベルとしてのHighレベルであるときにオン状態となって、バッテリからリニアソレノイドL1への通電経路を導通させ、逆に、PWM信号PWM1が第2レベルとしてLowレベルであれば、オフ状態となって、リニアソレノイドL1の通電経路を遮断する。

【0035】尚、図示しない他の3つのリニアソレノイドL2～L4にも、リニアソレノイドL1と同様のスイッチング素子（具体的にはNPNトランジスタ29及びFET28）が設けられており、PWM信号出力回路26から出力されるPWM信号PWM2～PWM4に従い、各スイッチング素子がオン・オフして、各リニアソレノイドL2～L4に流れる電流をデューティ制御できるようになっている。

【0036】また、各リニアソレノイドL1～L4のグランドライン側の通電経路には、電流検出用の抵抗R1が設けられており、その両端電圧から、各リニアソレノイドL1～L4に流れた電流を検出できるようになっている。そして、この抵抗R1の両端電圧は、抵抗Ra, Rbを介して差動増幅器30に入力され、その差動増幅

器30にて差動増幅されてから抵抗RFとコンデンサCとからなる積分回路により平滑化された後、信号選択用のマルチブレクサ(MPX)32を介して、A/D変換器34に選択的に入力される。

【0037】そして、A/D変換器34は、MPX32を介して、各リニアソレノイドL1～L4に流れた電流を表す電流検出信号(電圧)を一定のA/D変換周期で順に取り込み、デジタル値に変換し、そのデジタル値をCPU20へ出力する。すると、CPU20は、A/D変換器34からのデジタル値に基づいて、各リニアソレノイドL1～L4に実際に流れている電流(以下、ソレノイド電流ともいう)を夫々検出すると共に、その各ソレノイド電流が各リニアソレノイドL1～L4の目標電流となるように、PWM信号PWM1～PWM4のデューティ比を算出し、更に、その算出したデューティ比に基づいて、各リニアソレノイドL1～L4通電用のPWMデータを設定し、これをPWMデータ受渡用RAM22に格納する。

【0038】尚、CPU20には、演算処理実行用のプログラムや各種データが格納されたROM38、及び、演算処理実行時に制御用のデータを一時格納するためのRAM39が接続されている。また、CPU20とPWM信号出力回路26とは、各自に夫々対応して設けられた専用の発振子(図示省略)により生成されたクロック信号を受けて、非同期に動作する。

【0039】次に、PWMデータ受渡用RAM22の構成及びそれに格納されるPWMデータについて説明する。まず、PWMデータ受渡用RAM22には、図2に示すように、各リニアソレノイドL1～L4に対応するPWM信号PWM1～PWM4毎に、PWMデータを格納するための記憶領域が設定されている。

【0040】そして、その各記憶領域に格納されるPWMデータは、各PWM信号PWM1～PWM4の1周期時間を表す周期データCYCL(1)～CYCL(4)と、各PWM信号PWM1～PWM4の1周期内に、PWM信号PWM1～PWM4をHighレベルに保持すべき時間であって、各リニアソレノイドL1～L4の通電経路に設けられたスイッチング素子をオンすべきオン時間を表す駆動データとしてのオン時間データTON(1)～TON(4)との、2種類のデータからなる。

【0041】また、このPWMデータ受渡用RAM22に格納されるPWMデータは、CPU20が各リニアソレノイドL1～L4をデューティ駆動するためのデューティ比を演算する度に更新される。そして、PWM信号出力回路26は、このPWMデータ受渡用RAM22からPWMデータを読み出すことにより、各リニアソレノイドL1～L4をデューティ駆動するためのPWM信号PWM1～PWM4を生成する。

【0042】尚、後述するようにPWM信号出力回路26は一定時間(本実施形態では1μsec.)毎にカウント値が1ずつ変わる計時用カウンタCNTを備えており、

上記周期データCYCL(1)～CYCL(4)は、予め設定されたPWM信号PWM1～PWM4の1周期時間を上記一定時間(=1μsec.)で割ったカウント値である。そして同様に、上記オン時間データTON(1)～TON(4)も、各PWM信号PWM1～PWM4の1周期当たりに該信号をHighレベルに保持すべき時間(オン時間)を、上記一定時間(=1μsec.)で割ったカウント値である。一方、()内の数字は、そのデータが各リニアソレノイドL1～L4及び各PWM信号PWM1～PWM4の何れに対応するものを示しており、例えば、オン時間データTON(1)は、リニアソレノイドL1をデューティ駆動するためのPWM信号PWM1のオン時間データである。また、本実施形態では、PWMデータ受渡用RAM22の各記憶領域のうちで、オン時間データTON(1)～TON(4)を夫々格納する領域が、データ記憶手段に相当している。

【0043】次に、上記のように構成された本実施形態の制御装置10において、リニアソレノイドL1～L4の通電制御のためにCPU20及びPWM信号出力回路26で夫々実行される処理について、フローチャート及びタイムチャートを用いて順に説明する。尚、以下の説明において、“m”は、PWM信号PWM1～PWM4のチャンネル番号(1～4の何れか)であり、例えば、オン時間データTON(m)は、1から数えてm番目のリニアソレノイドLmに対応するmチャンネル目(チャンネルm)のPWM信号PWMmのオン時間データである。

【0044】まず、図3は、CPU20において、例えば2msec.毎に実行されるソレノイド制御処理を表すフローチャートである。尚、このソレノイド制御処理は、4個のリニアソレノイドL1～L4に対して夫々実行されるが、ここでは、m番目のリニアソレノイドLmについて実行される場合として説明する。

【0045】図3に示すように、このソレノイド制御処理では、まず、ステップ(以下、単に「S」と記す)110にて、A/D変換器34からのデジタル値に基づき、制御対象とするm番目のリニアソレノイドLmに流れているソレノイド電流I(m)を検出する。そして、続くS120にて、各種センサからの信号等に基づく内燃機関の運転状態に応じて、リニアソレノイドLmに流すべき目標電流VR(m)を設定すると共に、S110で検出したソレノイド電流I(m)が上記設定した目標電流VR(m)となるように、リニアソレノイドLmに対応したmチャンネル目のPWM信号PWMmのデューティ比D(m)を算出する。

【0046】次に、S130にて、上記算出したデューティ比D(m)と、予め設定されたPWM信号PWMmの周期データCYCL(m)とから、PWM信号PWMmのオン時間データTON(m)を、次式の如く算出する。

$$TON(m) = (D(m) / 100) \times CYCL(m)$$

尚、上式において、デューティ比D(m)を「100」で割っているのは、デューティ比D(m)の単位がパーセン

ト(%)であるためである。また、本実施形態では、4つのPWM信号PWM1～PWM4の各周期データCYCL(1)～CYCL(4)は、全て同じ値に設定されている。

【0047】そして、続くS140にて、上記の如く算出したオン時間データTON(m)と、周期データCYLC(m)とを、夫々、PWMデータ受渡用RAM22の対応するチャンネルmのアドレス領域(即ち、チャンネルmのPWM信号PWMm用のPWMデータを格納すべき記憶領域：図2参照)に格納し、その後、当該処理を終了する。

【0048】次に、図4は、PWM信号出力回路26において、4個のリニアソレノイドL1～L4に対し1μsec.毎に夫々実行されるPWM信号出力処理を表すフローチャートであり、図5は、その動作を説明するタイムチャートである。尚、以下に説明するPWM信号出力処理は、実際には、PWM信号出力回路26内にて各リニアソレノイドL1～L4毎に設けられた論理回路であるPWM信号出力処理部によって実現されるものであり、ここでは、説明の便宜上、そのPWM信号出力部の動作をフローチャートに沿って説明する。

【0049】図4に示す如く、PWM信号出力処理では、まずS210にて、現在、制御対象のリニアソレノイドLmに対応したPWM信号PWMmをLowレベルからHighレベルに反転させるべき判定期間(第1判定期間としてのオン判定期間)であるか、或いはPWM信号PWMmをHighレベルからLowレベルに反転させるべき判定期間(第2判定期間としてのオフ判定期間)であるかを表す判定期間識別フラグPFLG1が、「Low」にリセットされているか否かを判断する。

【0050】そして、S210で判定期間識別フラグPFLG1がリセットされていると判断されると、現在はオフ判定期間であるとして、S215に進み、計時用カウンタCNTの値が「0」であるか否かを判断する。そして、計時用カウンタCNTの値が「0」でなければ、そのままS225に移行するが、計時用カウンタCNTの値が「0」であれば、計時用カウンタCNTによるPWM信号PWMmの半周期時間(1周期時間の半分の時間)の計時を新たに開始した時点であるとして、S220に進む。そして、まず、PWMデータ受渡用RAM22から、PWM信号PWMmの周期データCYCL(m)とオン時間データTON(m)を読み込み、次いで、その読み込んだ周期データCYCL(m)の2分の1の値を半周期データT1として設定すると共に、オン時間データTON(m)の2分の1の値をPWM信号反転用のしきい値T2として設定し、その後、S225に移行する。

【0051】S225では、計時用カウンタCNTの値がしきい値T2以下であるか否かを判断し、計時用カウンタCNTの値がしきい値T2以下であれば、S230にて、PWM信号PWMmの出力レベルを「High」に設定した後、S240に移行して、計時用カウンタCNTの値を1インクリメント(+1)する。

【0052】また、S225にて、計時用カウンタCNTの値がしきい値T2以下ではないと判断した場合には、上記S215で計時用カウンタCNTの値が「0」であると判断した時点からの計時用カウンタCNTによる計時時間がPWM信号PWMmのオン時間の半分(2分の1)の時間(第1時間)に達したとして、S235に移行し、PWM信号PWMmの出力レベルを「Low」に設定した後、S240に移行して、計時用カウンタCNTの値を1インクリメント(+1)する。

【0053】そして、S240で計時用カウンタCNTの値を1インクリメントすると、続くS245にて、計時用カウンタCNTの値が、上記S220で設定した半周期データT1の値以上であるか否かを判断する。そして、計時用カウンタCNTの値が半周期データT1の値以上でなければ、そのまま当該処理を終了するが、計時用カウンタCNTの値が半周期データT1の値以上であれば、S250に移行して、判定期間識別フラグPFLG1を「High」にセットした後、当該処理を終了する。一方、上記S210にて、判定期間識別フラグPFLG1がリセットされていない(即ち、判定期間識別フラグPFLG1が「High」にセットされている)と判断した場合には、現在はオン判定期間であるとして、S255に移行し、計時用カウンタCNTの値が半周期データT1の値と一致しているか否かを判断する。そして、計時用カウンタCNTの値が半周期データT1の値と一致していないければ、そのままS265に移行するが、計時用カウンタCNTの値が半周期データT1の値と一致していれば、計時用カウンタCNTによるPWM信号PWMmの半周期時間の計時を新たに開始した時点であるとして、S260に進む。そして、上記S220と同様の手順で、まず、PWMデータ受渡用RAM22から、PWM信号PWMmの周期データCYCL(m)とオン時間データTON(m)を読み込み、次いで、その読み込んだ周期データCYCL(m)の2分の1の値を半周期データT1として設定すると共に、オン時間データTON(m)の2分の1の値をPWM信号反転用のしきい値T2として設定し、その後、S265に移行する。

【0054】S265では、計時用カウンタCNTの値がしきい値T2以下であるか否かを判断し、計時用カウンタCNTの値がしきい値T2以下でなければ、S275にて、PWM信号PWMmの出力レベルを「Low」に設定した後、S280に移行して、計時用カウンタCNTの値を1デクリメント(-1)する。

【0055】また、S265にて、計時用カウンタCNTの値がしきい値T2以下であると判断した場合には、上記S255で計時用カウンタCNTの値が半周期データT1の値と一致していると判断した時点からの計時用カウンタCNTによる計時時間がPWM信号PWMmのオフ時間(PWM信号PWMmの1周期内に、その信号レベルをLowレベルに保持すべき時間)の半分の時間(第2時

間)に達したとして、S270に移行し、PWM信号PWMmの出力レベルを「High」に設定した後、S280に移行して、計時用カウンタCNTの値を1デクリメント(-1)する。

【0056】そして、S280で計時用カウンタCNTの値を1デクリメントすると、続くS285にて、計時用カウンタCNTの値が「0」以下であるか否かを判断する。そして、計時用カウンタCNTの値が「0」以下でなければ、そのまま当該処理を終了するが、計時用カウンタCNTの値が「0」以下であれば、S290に移行して、判定期間識別フラグPFLG1を「Low」にリセットした後、当該処理を終了する。

【0057】即ち、このPWM信号出力処理では、制御対象のリニアソレノイドLmに流れる電流を制御するためのスイッチング素子に出力すべきPWM信号PWMmの周期データCYCL(m)の2分の1の値を、半周期データT1とし、図5の「CNT」の段に示すように、計時用カウンタCNTの値を「0」から半周期データT1の値となるまで一定時間(=1μsec.)毎に1ずつ増加させ(S240, S245)、計時用カウンタCNTの値が半周期データT1の値になると、その計時用カウンタCNTの値を半周期データT1の値から「0」となるまで一定時間毎に1ずつ減少させ(S280, S285)、更に、計時用カウンタCNTの値が「0」になると、その計時用カウンタCNTの値を再び「0」から半周期データT1の値となるまで一定時間毎に1ずつ増加させる(S240, S245)、といった処理を繰り返すことにより、計時用カウンタCNTをアップダウンカウンタとして動作させて、出力すべきPWM信号PWMmの半周期時間を繰り返し計時している。

【0058】また、計時用カウンタCNTのアップカウント(S240)により、そのカウント値が半周期データT1の値になると(S245:YES)、判定期間識別フラグPFLG1を「High」にセットして(S250)、計時用カウンタCNTの次のダウンカウント期間を、PWM信号PWMmをLowレベルからHighレベルに反転させてスイッチング素子をオンさせるオン判定期間として設定し、また、計時用カウンタCNTのダウンカウント(S280)により、そのカウント値が「0」になると(S285:YES)、判定期間識別フラグPFLG1を「Low」にリセットして(S290)、計時用カウンタCNTの次のアップカウント期間を、PWM信号PWMmをHighレベルからLowレベルに反転させてスイッチング素子をオフさせるオフ判定期間として設定するよう正在する。

【0059】そして、図5に示す如く、オン判定期間(S210:NO)では、ダウンカウントされる計時用カウンタCNTの値が、PWM信号PWMmのオン時間データTON(m)の2分の1の値として設定されるしきい値T2になった時点tonで、計時用カウンタCNTによる半

周期時間の計時開始からPWM信号PWMmのオフ時間(=1周期時間-オン時間)の半分の時間(第2時間)が経過したと判断して、PWM信号PWMmをLowレベルからHighレベルに反転させ(S270)、逆に、オフ判定期間(S210:YES)では、アップカウントされる計時用カウンタCNTの値が、PWM信号PWMmのオン時間データTON(m)の2分の1の値として設定されるしきい値T2になった時点tonで、計時用カウンタCNTによる半周期時間の計時開始からPWM信号PWMmのオン時間の半分の時間(第1時間)が経過したと判断して、PWM信号PWMmをHighレベルからLowレベルに反転させるよう正在している(S235)。

【0060】また、しきい値T2と半周期データT1は、計時用カウンタCNTによるPWM信号PWMmの半周期時間の計時が完了して次の半周期時間の計時を新たに開始するタイミング毎に(S215:YES, S255:YES)、PWMデータ受渡用RAM22内のPWMデータを読み出して更新するよう正在している(S220, S260)。尚、図5の「CNT」の段において、一点鎖線は、図4のS260で設定されるしきい値T2を表しており、二点鎖線は、図4のS220で設定されるしきい値T2を表している。

【0061】このため、本第1実施形態のPWM信号出力回路26によれば、CPU20によってPWMデータ受渡用RAM22内のオン時間データTON(m)が更新されてから、その最新のオン時間データTON(m)が制御対象のリニアソレノイドLmのスイッチング素子へ出力されるPWM信号PWMmのデューティ比に反映されるまでの遅れ時間が、最大でもPWM信号の半周期時間となり、その遅れ時間の最大値がPWM信号の1周期時間となる従来装置に比べて、リニアソレノイドLmへの電流を制御する際の応答性を大幅に向上させることができる。

【0062】つまり、本第1実施形態のPWM信号出力回路26では、PWM信号PWMmの立上がりと立下りの両方のタイミングでデューティ比を制御できることから、オン時間データTON(m)の更新後に、PWM信号PWMmがその更新後のデューティ比に対応するまでの遅れ時間が、最大でも、PWM信号PWMmの1周期の2分の1の時間となり、制御の応答性が向上する。

【0063】また更に、本第1実施形態のPWM信号出力回路26では、PWM信号PWMmの立ち上げと立ち下げとのタイミングを決定するオン時間データTON(m)を、PWM信号PWMmの半周期時間の計時を新たに開始するタイミングで読み込むよう正在しているため、CPU20によるオン時間データTON(m)の更新周期がPWM信号の1周期時間より短くても、PWM信号PWMmの信号レベルが1周期時間内に3回以上変化することがない。よって、PWM信号の周期の乱れを招くことなく、PWM信号のデューティ比を応答性良く変化させることができ、リニアソレノイドLmへの電流を制御する際の応答性と

制御性とを両立させることができる。

【0064】尚、本第1実施形態においては、計時用カウンタCNTの値を「0」から半周期データT1の値までアップカウントさせるS240及びS245の処理と、計時用カウンタCNTの値を半周期データT1の値から「0」までダウンカウントさせるS280及びS285の処理とが、計時手段に相当し、判定期間識別フラグPFLG1をセット及びリセットするS250及びS290の処理が、期間設定手段に相当している。

【0065】そして、S220及びS260にてPWMデータ受渡用RAM22からオン時間データTON(m)を読み込む処理が、駆動データ読込手段に相当し、S220及びS260にてPWMデータ受渡用RAM22から読み込んだオン時間データTON(m)の2分の1の値をしきい値T2として設定する処理と、そのしきい値T2を用いてPWM信号の反転タイミングの到来を判定し、PWM信号の信号レベルを反転させるS225, S235, S265, 及びS270の処理とが、信号レベル設定手段に相当している。

【第2実施形態】次に、第2実施形態の制御装置10は、前述した第1実施形態の制御装置10と比較して、PWM信号出力回路26にて4個のリニアソレノイドL1～L4に対し1μsec.毎に夫々実行されるPWM信号出力処理が、図6に示す如く実行される点のみが異なっている。そして、図8は、そのPWM信号出力処理によるPWM信号出力回路26の動作を説明するタイムチャートである。

【0066】尚、図6に示すPWM信号出力処理も、實際には、PWM信号出力回路26内にて各リニアソレノイドL1～L4毎に設けられた論理回路であるPWM信号出力処理部によって実現されるものであり、ここでは、説明の便宜上、そのPWM信号出力部の動作をフローチャートに沿って説明する。

【0067】図6に示す如く、本第2実施形態のPWM信号出力処理では、まずS310にて、計時用カウンタCNTの値が「0」であるか否かを判断する。そして、計時用カウンタCNTの値が「0」でなければ、そのままS335に移行するが、計時用カウンタCNTの値が「0」であれば、計時用カウンタCNTによるPWM信号PWMm(制御対象のリニアソレノイドLmに対応したPWM信号)の半周期時間の計時を新たに開始した時点であるとして、S315に進む。

【0068】そして、このS315にて、PWMデータ受渡用RAM22から、PWM信号PWMmの周期データCYCL(m)を読み込み、計時用カウンタCNTに、その読み込んだ周期データCYCL(m)の2分の1の値を設定する。そして更に、続くS320にて、現在、PWM信号PWMmをLowレベルからHighレベルに反転させるべき判定期間(第1判定期間としてのオン判定期間)であるか、或いはPWM信号PWMmをHighレベルからLowレベルに反転さ

せるべき判定期間(第2判定期間としてのオフ判定期間)であるかを表す判定期間識別フラグPFLG1が、「High」にセットされているか否かを判断する。

【0069】そして、S320で判定期間識別フラグPFLG1がセットされていると判断されると、現在はオン判定期間であるとして、S325に進み、まず、PWMデータ受渡用RAM22から、PWM信号PWMmのオン時間データTON(m)を読み込み、次いで、その読み込んだオン時間データTON(m)の2分の1の値を、PWM信号反転用のしきい値T2として設定し、その後、S335に移行する。

【0070】また、S320で判定期間識別フラグPFLG1がセットされていない(リセットされている)と判断されると、現在はオフ判定期間であるとして、S330に移行し、まず、PWMデータ受渡用RAM22から、PWM信号PWMmのオン時間データTON(m)を読み込み、次いで、S315で読み込んだPWM信号PWMmの周期データCYCL(m)から上記読み込んだオン時間データTON(m)を減じた値(=CYCL(m)-TON(m))の2分の1の値を、PWM信号反転用のしきい値T2として設定し、その後、S335に移行する。

【0071】S335では、計時用カウンタCNTの値が現在のしきい値T2と一致しているか否かを判断し、計時用カウンタCNTの値がしきい値T2と一致していないければ、そのままS355に移行して、計時用カウンタCNTの値を1デクリメント(-1)する。

【0072】一方、S335にて、計時用カウンタCNTの値がしきい値T2と一致していると判断されると、S340に進んで、判定期間識別フラグPFLG1が「High」にセットされているか否かを判断する。そして、判定期間識別フラグPFLG1がセットされていれば、現在はオン判定期間であり、しきい値T2は上記S325で設定されたオン時間データTON(m)の2分の1の値であるため、オン判定期間の開始時からの計時用カウンタCNTによる計時時間がPWM信号PWMmのオフ時間(PWM信号PWMmの1周期内に、その信号レベルをLowレベルに保持すべき時間)の半分の時間(第2時間)に達したとして、S345に進み、PWM信号PWMmの出力レベルを「High」に設定した後、S355に移行して、計時用カウンタCNTの値を1デクリメント(-1)する。

【0073】また逆に、S340にて、判定期間識別フラグPFLG1がセットされていないと判断されると、現在はオフ判定期間であり、しきい値T2は上記S330で設定された値(周期データCYCL(m)からオン時間データTON(m)を減じた値の2分の1の値)であるため、オフ判定期間の開始時からの計時用カウンタCNTによる計時時間がPWM信号PWMmのオン時間の半分の時間(第1時間)に達したとして、S350に進み、PWM信号PWMmの出力レベルを「Low」に設定した後、S355に移行して、計時用カウンタCNTの値を1デクリメント

(-1) する。

【0074】そして、S355で計時用カウンタCNTの値を1デクリメントすると、続くS360にて、計時用カウンタCNTの値が「0」であるか否かを判断する。そして、計時用カウンタCNTの値が「0」でなければ、そのまま当該処理を終了するが、計時用カウンタCNTの値が「0」であれば、S365に移行して、判定期間識別フラグPFLG1のセット・リセット状態を反転させた後、当該処理を終了する。

【0075】即ち、本第2実施形態のPWM信号出力処理では、その処理動作を表す図8のタイムチャートに示すように、制御対象のリニアソレノイドLmに流れる電流を制御するためのスイッチング素子に出力すべきPWM信号PWMmの周期データCYCL(m)の2分の1の値を、計時用カウンタCNTに書き込み(S315)、そのカウント値を一定時間(=1μsec.)毎に1ずつ減少させる(デクリメントする)ことにより(S355)、計時用カウンタCNTをダウンカウンタとして動作させ、更に、そのカウント値が「0」になると、再度周期データCYCL(m)の2分の1の値を計時用カウンタCNTに書き込む(S315)ことにより、計時用カウンタCNTを用いて、出力すべきPWM信号PWMmの半周期時間を繰り返し計時している。

【0076】また、この計時用カウンタCNTの値が「0」になってPWM信号PWMmの半周期時間の計時が完了する度に(S360: YES)、判定期間識別フラグPFLG1を反転する(S365)ことにより、PWM信号PWMmの1周期の半分を、PWM信号PWMmをLowレベルからHighレベルに反転してスイッチング素子をオンさせるオン判定期間、残りの半分を、PWM信号PWMmをHighレベルからLowレベルに反転してスイッチング素子をオフさせるオフ判定期間として設定している。

【0077】そして、図8に示す如く、オン判定期間(S320: YES)では、ダウンカウントされる計時用カウンタCNTの値が、S325にてPWM信号PWMmのオン時間データTON(m)の2分の1の値として設定されるしきい値T2になった時点tONで(S335: YES及びS340: YES)、計時用カウンタCNTによる半周期時間の計時開始からPWM信号PWMmのオフ時間(=1周期時間-オン時間)の半分の時間(第2時間)が経過したと判断して、PWM信号PWMmをLowレベルからHighレベルに反転させ(S345)、逆に、オフ判定期間(S320: NO)では、ダウンカウントされる計時用カウンタCNTの値が、S330にてPWM信号PWMmの周期データCYCL(m)からオン時間データTON(m)を減じた値(=CYCL(m)-TON(m))の2分の1の値として設定されるしきい値T2になった時点tOFFで(S335: YES及びS340: NO)、計時用カウンタCNTによる半周期時間の計時開始からPWM信号PWMmのオン時間の半分の時間(第1時間)が経過したと判断し

て、PWM信号PWMmをHighレベルからLowレベルに反転させようとしている(S350)。

【0078】また、しきい値T2と計時用カウンタCNTに書き込む周期データCYCL(m)の2分の1の値は、計時用カウンタCNTによるPWM信号PWMmの半周期時間の計時が完了して次の半周期時間の計時を新たに開始するタイミング毎に(S310: YES)、PWMデータ受渡用RAM22内のPWMデータを読み出して更新するようとしている(S325, S330, S315)。尚、図8の「CNT」の段において、一点鎖線は、図6のS325で設定されるしきい値T2を表しており、二点鎖線は、図6のS330で設定されるしきい値T2を表している。

【0079】このため、本第2実施形態のPWM信号出力回路26によっても、CPU20によりPWMデータ受渡用RAM22内のオン時間データTON(m)が更新されてから、その最新のオン時間データTON(m)が制御対象のリニアソレノイドLmのスイッチング素子へ出力されるPWM信号PWMmのデューティ比に反映されるまでの遅れ時間が、最大でもPWM信号の半周期時間となり、その遅れ時間の最大値がPWM信号の1周期時間となる従来装置に比べて、リニアソレノイドLmへの電流を制御する際の応答性を大幅に向上させることができる。つまり、PWM信号PWMmの立上がりと立下りの両方のタイミングでデューティ比を制御できることから、オン時間データTON(m)の更新後に、PWM信号PWMmがその更新後のデューティ比に対応するまでの遅れ時間が、最大でも、PWM信号PWMmの1周期の2分の1の時間となり、制御の応答性が向上する。

【0080】そして更に、本第2実施形態のPWM信号出力回路26においても、PWM信号PWMmの立ち上げと立ち下げとのタイミングを決定するオン時間データTON(m)を、PWM信号PWMmの半周期時間の計時を新たに開始するタイミングで読み込むようとしているため、CPU20によるオン時間データTON(m)の更新周期がPWM信号の1周期時間より短くても、PWM信号PWMmの信号レベルが1周期時間内に3回以上変化することがない。よって、PWM信号の周期の乱れを招くことなく、PWM信号のデューティ比を応答性良く変化させることができ、リニアソレノイドLmへの電流を制御する際の応答性と制御性とを両立させることができる。

【0081】また、本第2実施形態のPWM信号出力回路26によれば、PWM信号PWMmの1周期時間でカウント値が2巡するダウンカウンタ(計時用カウンタCNTのダウンカウント動作)により、PWM信号PWMmの半周期時間を繰り返し計時するようとしているため、アップダウンカウンタを用いる第1実施形態のPWM信号出力回路26と比較して、その処理内容及び回路構成を簡素化することができ有利である。

【0082】尚、本第2実施形態においては、計時用カ

ウンタC N Tに周期データCYCL(m)の2分の1の値をセットして、これを「0」までダウンカウントすることにより、PWM信号PWMmの半周期時間を計時する、S 3 1 5及びS 3 5 5の処理が、計時手段に相当し、計時用カウンタC N Tの値が「0」になる度に判定期間識別フラグPFLG1のセット・リセット状態を反転させる、S 3 6 0及びS 3 6 5の処理が、期間設定手段に相当している。

【0083】そして、S 3 2 5及びS 3 3 0にてPWMデータ受渡用RAM22からオン時間データTON(m)を読み込む処理が、駆動データ読込手段に相当し、S 3 2 5及びS 3 3 0にてPWMデータ受渡用RAM22から読み込んだオン時間データTON(m)に基づきしきい値T2を設定する処理と、そのしきい値T2を用いてPWM信号の反転タイミングの到来を判定し、PWM信号の信号レベルを反転させるS 3 3 5, S 3 4 0, S 3 4 5, 及びS 3 5 0の処理とが、信号レベル設定手段に相当している。

【0084】一方、本第2実施形態のPWM信号出力回路26において、図6の処理を行うPWM信号出力処理部は、図7に示すように構成することができる。即ち、このPWM信号出力処理部は、周期が1μsec.のクロック信号を出力する発振子40と、発振子40からのクロック信号に同期して1ずつ「0」までダウンカウントすると共に、カウント値(CNT)が「0」になると、PWMデータ受渡用RAM22からPWM信号PWMmの周期データCYCL(m)を読み込んで、その周期データCYCL(m)の2分の1の値をカウント値(CNT)として再設定するダウンカウンタ42と、ダウンカウンタ42のカウント値(CNT)が「0」になる度に、判定期間識別フラグPFLG1を「High」から「Low」へ或いは「Low」から「High」へと反転させる判定期間識別フラグ設定部44と、この判定期間識別フラグ設定部44からの判定期間識別フラグPFLG1が供給されると共に、その判定期間識別フラグPFLG1が「Low」から「High」へ反転したオン判定期間の開始タイミングで、PWMデータ受渡用RAM22からPWM信号PWMmのオン時間データTON(m)を読み込み、その読み込んだオン時間データTON(m)の2分の1の値を、PWM信号反転用のしきい値T2としてレジスタ48に格納し、また、判定期間識別フラグPFLG1が「High」から「Low」へ反転したオフ判定期間の開始タイミングで、PWMデータ受渡用RAM22からPWM信号PWMmの周期データCYCL(m)とオン時間データTON(m)とを読み込み、その読み込んだ周期データCYCL(m)からオン時間データTON(m)を減じた値(=CYCL(m)-TON(m))の2分の1の値を、PWM信号反転用のしきい値T2としてレジスタ48に格納するしきい値設定部46と、判定期間識別フラグ設定部44からの判定期間識別フラグPFLG1が供給されると共に、ダウンカウンタ42のカウント値(CNT)とレジスタ48内のし

きい値T2とを比較して、カウント値(CNT)がしきい値T2に一致すると、PWM信号PWMmの出力レベルを、その時の判定期間識別フラグPFLG1のレベルに設定する比較器50と、から構成される。

【0085】そして、このPWM信号出力処理部によれば、図6のPWM信号出力処理を1μsec.毎に実行したのと同じ動作が行われ、前述した本第2実施形態の効果が得られる。尚、図7のPWM信号出力処理部では、ダウンカウンタ42が計時手段に相当し、判定期間識別フラグ設定部44が期間設定手段に相当する。そして、しきい値設定部46にて、判定期間識別フラグPFLG1が反転したタイミングでPWMデータ受渡用RAM22からオン時間データTON(m)を読み込む動作を行う部分が、駆動データ読込手段に相当し、しきい値設定部46にて、それ以外の動作を行う部分と、レジスタ48及び比較器50とが、信号レベル設定手段に相当する。

【第3実施形態】次に、第3実施形態の制御装置10は、前述した第1及び第2実施形態の制御装置10と比較して、PWM信号出力回路26にて4個のリニアソレノイドL1～L4に対し1μsec.毎に夫々実行されるPWM信号出力処理が、図9に示す如く実行される点のみが異なっている。尚、図9に示すPWM信号出力処理も、実際には、PWM信号出力回路26内にて各リニアソレノイドL1～L4毎に設けられた論理回路であるPWM信号出力処理部によって実現されるものであり、ここでは、説明の便宜上、そのPWM信号出力部の動作をフローチャートに沿って説明する。

【0086】図9に示す如く、本第3実施形態のPWM信号出力処理では、まずS 4 1 0にて、計時用カウンタCNTの値が「0」であるか否かを判断する。そして、計時用カウンタCNTの値が「0」でなければ、そのままS 4 2 5に移行するが、計時用カウンタCNTの値が「0」であれば、計時用カウンタCNTによるPWM信号PWMm(制御対象のリニアソレノイドLmに対応したPWM信号)の半周期時間の計時を新たに開始した時点であるとして、S 4 1 5に進む。

【0087】そして、このS 4 1 5にて、しきい値更新許可フラグPFLG3を、許可を示す「High」にセットし、続くS 4 2 0にて、PWMデータ受渡用RAM22から、PWM信号PWMmの周期データCYCL(m)を読み込み、その読み込んだ周期データCYCL(m)を処理用周期データTCとして設定すると共に、計時用カウンタCNTに、その処理用周期データTCの2分の1の値(即ち、PWMデータ受渡用RAM22から読み込んだ周期データCYCL(m)の2分の1の値)を設定して、S 4 2 5に移行する。

【0088】次に、S 4 2 5では、しきい値更新許可フラグPFLG3が「High」にセットされているか否かを判断する。そして、しきい値更新許可フラグPFLG3が「High」にセットされていなければ、そのままS 4 5 5に移

行するが、しきい値更新許可フラグPFLG3が「High」にセットされていれば、S430に進んで、現在、PWM信号PWMmをLowレベルからHighレベルに反転させるべき判定期間（第1判定期間としてのオン判定期間）であるか、或いはPWM信号PWMmをHighレベルからLowレベルに反転させるべき判定期間（第2判定期間としてのオフ判定期間）であるかを表す判定期間識別フラグPFLG1が、「High」にセットされているか否かを判断する。

【0089】そして、S430で判定期間識別フラグPFLG1がセットされていると判断されると、現在はオン判定期間であるとして、S435に進み、まず、PWMデータ受渡用RAM22から、PWM信号PWMmのオン時間データTON(m)を読み込み、次いで、その読み込んだオン時間データTON(m)の2分の1の値を、PWM信号反転用のしきい値T2として設定し、その後、S455に移行する。

【0090】また、S430で判定期間識別フラグPFLG1がセットされていない（リセットされている）と判断されると、現在はオフ判定期間であるとして、S440に移行し、まず、PWMデータ受渡用RAM22から、PWM信号PWMmのオン時間データTON(m)を読み込み、次いで、処理用周期データTC（即ち、S420でPWMデータ受渡用RAM22から読み込んだ周期データCYCL(m)）から上記読み込んだオン時間データTON(m)を減じた値（=TC-TON(m)）の2分の1の値を、PWM信号反転用のしきい値T2として設定し、その後、S455に移行する。

【0091】S455では、計時用カウンタCNTの値が現在のしきい値T2以下であるか否かを判断し、計時用カウンタCNTの値がしきい値T2以下でなければ、そのままS470に移行して、計時用カウンタCNTの値を1デクリメント（-1）する。

【0092】一方、S445にて、計時用カウンタCNTの値がしきい値T2以下であると判断されると、S450に進んで、判定期間識別フラグPFLG1が「High」にセットされているか否かを判断する。そして、判定期間識別フラグPFLG1がセットされていれば、現在はオン判定期間であり、しきい値T2は上記S435で設定されたオン時間データTON(m)の2分の1の値であるため、オン判定期間の開始時からの計時用カウンタCNTによる計時時間がPWM信号PWMmのオフ時間（PWM信号PWMmの1周期内に、その信号レベルをLowレベルに保持すべき時間）の半分の時間（第2時間）に達したとして、S455に進み、PWM信号PWMmの出力レベルを「High」に設定する。そして、S465にて、しきい値更新許可フラグPFLG3を「Low」にリセットした後、S470に移行して、計時用カウンタCNTの値を1デクリメント（-1）する。

【0093】また逆に、S450にて、判定期間識別フラグPFLG1がセットされていないと判断されると、現在

はオフ判定期間であり、しきい値T2は上記S440で設定された値（処理用周期データTCからオン時間データTON(m)を減じた値の2分の1の値）であるため、オフ判定期間の開始時からの計時用カウンタCNTによる計時時間がPWM信号PWMmのオン時間の半分の時間（第1時間）に達したとして、S460に進み、PWM信号PWMmの出力レベルを「Low」に設定する。そして、S465にて、しきい値更新許可フラグPFLG3を「Low」にリセットした後、S470に移行して、計時用カウンタCNTの値を1デクリメント（-1）する。

【0094】そして、S470で計時用カウンタCNTの値を1デクリメントすると、続くS475にて、計時用カウンタCNTの値が「0」であるか否かを判断する。そして、計時用カウンタCNTの値が「0」でなければ、そのまま当該処理を終了するが、計時用カウンタCNTの値が「0」であれば、S480に移行して、判定期間識別フラグPFLG1のセット・リセット状態を反転させた後、当該処理を終了する。

【0095】即ち、本第3実施形態のPWM信号出力処理においても、第2実施形態と同様に、制御対象のリニアソレノイドLMに対応するPWM信号PWMmの周期データCYCL(m)の2分の1の値（=TC/2）を、計時用カウンタCNTに書き込み（S420）、そのカウント値を一定時間（=1μsec.）毎に1ずつ減少させる（デクリメントする）ことにより（S470）、計時用カウンタCNTをダウンカウンタとして動作させ、更に、そのカウント値が「0」になると、再度周期データCYCL(m)の2分の1の値を計時用カウンタCNTに書き込む（S420）ことにより、計時用カウンタCNTを用いて、出力すべきPWM信号PWMmの半周期時間を繰り返し計時している。

【0096】そして、この計時用カウンタCNTの値が「0」になってPWM信号PWMmの半周期時間の計時が完了する度に（S475:YES）、判定期間識別フラグPFLG1を反転する（S480）ことにより、PWM信号PWMmの1周期の半分を、PWM信号PWMmをLowレベルからHighレベルに反転してスイッチング素子をオンさせるオン判定期間、残りの半分を、PWM信号PWMmをHighレベルからLowレベルに反転してスイッチング素子をオフさせるオフ判定期間として設定している。

【0097】そして更に、オン判定期間（S430:YES）では、ダウンカウントされる計時用カウンタCNTの値が、S435にてPWM信号PWMmのオン時間データTON(m)の2分の1の値として設定されるしきい値T2になった時点で（S445:YES及びS450:YES）、計時用カウンタCNTによる半周期時間の計時開始からPWM信号PWMmのオフ時間の半分の時間（第2時間）が経過したと判断して、PWM信号PWMmをLowレベルからHighレベルに反転させ（S455）、逆に、オフ判定期間（S430:NO）では、ダウンカウントさ

れる計時用カウンタCNTの値が、S440にてPWM信号PWMmの周期データCYCL(m)からオン時間データTON(m)を減じた値の2分の1の値($= (T_{CYCL} - T_{ON}(m)) / 2$)として設定されるしきい値T2になった時点で(S445: YES及びS450: NO)、計時用カウンタCNTによる半周期時間の計時開始からPWM信号PWMmのオン時間の半分の時間(第1時間)が経過したと判断して、PWM信号PWMmをHighレベルからLowレベルに反転させるようにしている(S460)。

【0098】ここで特に、本第3実施形態では、計時用カウンタCNTの値が「0」になってPWM信号PWMmの半周期時間の計時が新たに開始される度に(S410: YES)、しきい値更新許可フラグPFLG3を「High」にセットする(S415)と共に、PWM信号PWMmの信号レベルを反転させた時に、しきい値更新許可フラグPFLG3を「Low」にリセットし(S465)、そのしきい値更新許可フラグPFLG3が「High」の場合には(S425: YES)、PWMデータ受渡用RAM22からPWM信号PWMmのオン時間データTON(m)を常時読み出して、しきい値T2を常に更新するようにしている(S435, S440)。

【0099】つまり、前述の第2実施形態では、計時用カウンタCNTによるPWM信号PWMmの半周期時間の計時を新たに開始するタイミングにだけ、PWMデータ受渡用RAM22からオン時間データTON(m)を読み出して、しきい値T2を更新していたが、本第3実施形態では、計時用カウンタCNTによるPWM信号PWMmの半周期時間の計時を新たに開始した時点から、計時用カウンタCNTの値がしきい値T2に達したと判断されてPWM信号PWMmの信号レベルが反転されるまでの間、PWMデータ受渡用RAM22からオン時間データTON(m)を常時読み出して、しきい値T2を常に更新するようにしている。

【0100】このため、本第3実施形態のPWM信号出力回路26によれば、CPU20によりPWMデータ受渡用RAM22内のオン時間データTON(m)が更新されてから、その最新のオン時間データTON(m)がスイッチング素子へ出力されるPWM信号PWMmのデューティ比に反映されるまでの遅れ時間を、そのPWM信号PWMmの周期の乱れを招くことなく、より短くすることができる。つまり、PWM信号PWMmの信号レベルが反転されると、次の半周期時間の計時が開始されるまでは、しきい値T2が変更されないため、PWM信号PWMmの信号レベルが1周期時間内に3回以上変化することを防止しつつ、CPU20によりPWMデータ受渡用RAM22内のオン時間データTON(m)が更新された際の出力デューティ比の応答性を、より向上させることができる。

【0101】尚、本第3実施形態においては、計時用カウンタCNTに周期データCYCL(m)の2分の1の値をセットして、これを「0」までダウンカウントすることに

より、PWM信号PWMmの半周期時間を計時する、S420及びS470の処理が、計時手段に相当し、計時用カウンタCNTの値が「0」になる度に判定期間識別フラグPFLG1のセット・リセット状態を反転させる、S475及びS480の処理が、期間設定手段に相当している。

【0102】そして、しきい値更新許可フラグPFLG3のセット・リセットを行うS415及びS465の処理と、しきい値更新許可フラグPFLG3が「High」の場合にだけ、S435或いはS440の処理を行わせるS425の処理と、S435及びS440にてPWMデータ受渡用RAM22からオン時間データTON(m)を読み込む処理とが、駆動データ読込手段に相当し、S435及びS440にてPWMデータ受渡用RAM22から読み込んだオン時間データTON(m)に基づきしきい値T2を設定する処理と、そのしきい値T2を用いてPWM信号の反転タイミングの到来を判定し、PWM信号の信号レベルを反転させるS445, S450, S455, 及びS460の処理とが、信号レベル設定手段に相当している。

【第4実施形態】次に、第4実施形態の制御装置10は、前述した第1～第3実施形態の制御装置10と比較して、以下の(1)及び(2)の2点が異なっている。

【0103】(1) PWMデータ受渡用RAM22に格納される各PWM信号PWM1～PWM4毎のPWMデータとして、オン時間データTON(1)～TON(4)がCPU20にて更新された直後であるか、或いは、データ更新後に既にPWM信号の生成に使用されたかを表す更新フラグ0VW(1)～0VW(4)が追加されている。

【0104】そして、この更新フラグ0VW(1)～0VW(4)は、CPU20が各リニアソレノイドL1～L4をデューティ駆動するためのデューティ比を演算する度にセット(0VW ← High)される。また、PWM信号出力回路26は、PWMデータ受渡用RAM22からPWMデータを読み出した際に、更新フラグ0VW(1)～0VW(4)がセットされていれば、これをリセット(0VW ← Low)する。

【0105】(2) PWM信号出力回路26にて4個のリニアソレノイドL1～L4に対し1μsec. 每に夫々実行されるPWM信号出力処理が、図10に示す如く実行される。そこで次に、このPWM信号出力処理について、図10及び図11を用いて説明する。尚、図10に示すPWM信号出力処理も、実際には、PWM信号出力回路26内にて各リニアソレノイドL1～L4毎に設けられた論理回路であるPWM信号出力処理部によって実現されるものであり、ここでは、説明の便宜上、そのPWM信号出力部の動作をフローチャートに沿って説明する。また、図11は、そのPWM信号出力処理によるPWM信号出力回路26の動作を説明するタイムチャートである。図10に示す如く、本第4実施形態のPWM信号出力処理では、まずS505にて、計時用カウンタC

N Tの値が「0」であるか否かを判断する。そして、計時用カウンタC N Tの値が「0」でなければ、そのままS 5 4 0に移行するが、計時用カウンタC N Tの値が「0」であれば、計時用カウンタC N TによるP W M信号P W M_m（制御対象のリニアソレノイドL mに対応したP W M信号）の半周期時間の計時を新たに開始した時点であるとして、S 5 1 0に進む。

【0106】そして、このS 5 1 0にて、P W Mデータ受渡用R A M 2 2から、P W M信号P W M_mの周期データCY CL(m)及びオン時間データT ON(m)を読み込み、その読み込んだ周期データCY CL(m)の2分の1の値を半周期データT 1、オン時間データT ON(m)の2分の1の値をP W M信号のHighレベル反転用のしきい値T 2、半周期データT 1の値からしきい値T 2を減じた値（即ち、周期データCY CL(m)からオン時間データT ON(m)を減じた値の2分の1の値）をP W M信号のLowレベル反転用のしきい値T 3として設定する。そして、続くS 5 2 0にて、計時用カウンタC N Tに半周期データT 1の値を設定し、S 5 3 0にて、P W M信号の出力反転許可フラグPFLG2をセット（PFLG2 ← High）した後、S 5 4 0に進む。

【0107】次に、S 5 4 0では、P W Mデータ受渡用R A M 2 2から、P W M信号P W M_mに対応した更新フラグ0VW(m)を読み込み、この更新フラグ0VW(m)が「High」にセットされているか否かを判断する。そして、更新フラグ0VW(m)がセットされていないければ、そのままS 5 7 0に移行し、更新フラグ0VW(m)がセットされいれば、S 5 5 0にて、上記S 5 1 0と同様の手順で、しきい値T 2及びT 3を設定し、S 5 6 0にて、P W Mデータ受渡用R A M 2 2内の更新フラグ0VW(m)を「Low」にリセットした後、S 5 7 0に移行する。

【0108】S 5 7 0では、出力反転許可フラグPFLG2が「High」にセットされているか否かを判断する。そして、出力反転許可フラグPFLG2がセットされれば、S 5 8 0にて、現在、P W M信号P W M_mをLowレベルからHighレベルに反転させるべき判定期間（第1判定期間としてのオン判定期間）であるか、或いはP W M信号P W M_mをHighレベルからLowレベルに反転させるべき判定期間（第2判定期間としてのオフ判定期間）であるかを表す判定期間識別フラグPFLG1が、「High」にセットされているか否かを判断する。

【0109】そして、S 5 8 0にて、判定期間識別フラグPFLG1がセットされていると判断されると、現在はオン判定期間であるとして、S 5 9 0に移行し、計時用カウンタC N Tの値がしきい値T 2以下であるか否かを判断する。そして、計時用カウンタC N Tの値がしきい値T 2以下であれば、オン判定期間の開始時からの計時用カウンタC N Tによる計時時間がP W M信号P W M_mのオフ時間の半分の時間（第2時間）に達したとして、S 6 0 0に進み、P W M信号P W M_mの出力レベルを「High」に設

定し、S 6 1 0にて、出力反転許可フラグPFLG2を「Low」にリセットした後、S 6 2 0に移行する。

【0110】一方、S 5 8 0で判定期間識別フラグPFLG1がセットされていないと判断された場合には、現在はオフ判定期間であるとして、S 6 3 0に移行し、計時用カウンタC N Tの値がしきい値T 3以下であるか否かを判断する。そして、計時用カウンタC N Tの値がしきい値T 3以下であれば、オフ判定期間の開始時からの計時用カウンタC N Tによる計時時間がP W M信号P W M_mのオン時間の半分の時間（第1時間）に達したとして、S 6 4 0に進み、P W M信号P W M_mの出力レベルを「Low」に設定し、S 6 1 0にて、出力反転許可フラグPFLG2を「Low」にリセットした後、S 6 2 0に移行する。

【0111】尚、S 5 7 0にて、出力反転許可フラグPFLG2がセットされていないと判断された場合と、S 5 9 0にて、計時用カウンタC N Tの値がしきい値T 2以下ではないと判断された場合と、S 6 3 0にて、計時用カウンタC N Tの値がしきい値T 3以下ではないと判断された場合との、3通りの各場合には、そのままS 6 2 0に移行する。

【0112】そして、S 6 2 0では、計時用カウンタC N Tを1デクリメント（-1）し、続くS 6 5 0では、この計時用カウンタC N Tの値が「0」になったか否かを判断する。そして、計時用カウンタC N Tの値が「0」でなければ、そのまま当該処理を終了するが、計時用カウンタC N Tの値が「0」であれば、S 6 6 0に移行して、判定期間識別フラグPFLG1のセット・リセット状態を反転させた後、当該処理を終了する。

【0113】即ち、このP W M信号出力処理では、制御対象のリニアソレノイドL mに対応するP W M信号P W M_mの周期データCY CL(m)の2分の1の値を、半周期データT 1として、計時用カウンタC N Tに書き込み（S 5 2 0）、そのカウント値を一定時間（= 1 μsec.）毎に1ずつ減少させる（デクリメントする）ことにより（S 6 2 0）、計時用カウンタC N Tをダウンカウンタとして動作させ、更に、そのカウント値が「0」になると、再度半周期データT 1を計時用カウンタC N Tに書き込む（S 5 2 0）ことにより、計時用カウンタC N Tを用いて、出力すべきP W M信号P W M_mの半周期時間を繰り返し計時している。

【0114】そして、この計時用カウンタC N Tの値が「0」になってP W M信号P W M_mの半周期時間の計時が完了する度に（S 6 5 0：YES）、判定期間識別フラグPFLG1を反転する（S 6 6 0）ことにより、P W M信号P W M_mの1周期の半分を、P W M信号P W M_mをLowレベルからHighレベルに反転してスイッチング素子をオンさせるオン判定期間、残りの半分を、P W M信号P W M_mをHighレベルからLowレベルに反転してスイッチング素子をオフさせるオフ判定期間として設定している。

【0115】そして更に、図11に示す如く、オン判定

期間 (S 5 8 0 : Y E S) では、計時用カウンタ C N T の値が、S 5 1 0 及び S 5 5 0 にて PWM 信号 PWMm のオン時間データ T ON(m) の 2 分の 1 の値として設定されるしきい値 T 2 になった時点 t ON で (S 5 9 0 : Y E S) 、計時用カウンタ C N T による半周期時間の計時開始から PWM 信号 PWMm のオフ時間の半分の時間 (第 2 時間) が経過したと判断して、PWM 信号 PWMm を Low レベルから High レベルに反転させ (S 6 0 0) 、逆に、オフ判定期間 (S 5 8 0 : N O) では、計時用カウンタ C N T の値が、S 5 1 0 及び S 5 5 0 にて PWM 信号 PWMm の周期データ CYCL(m) からオン時間データ T ON(m) を減じた値の 2 分の 1 の値として設定されるしきい値 T 3 になった時点 t OFF で (S 6 3 0 : Y E S) 、計時用カウンタ C N T による半周期時間の計時開始から PWM 信号 PWMm のオン時間の半分の時間 (第 1 時間) が経過したと判断して、PWM 信号 PWMm を High レベルから Low レベルに反転させるようしている (S 6 4 0) 。

【0 1 1 6】また、半周期データ T 1 と 2 つのしきい値 T 2, T 3 は、計時用カウンタ C N T による PWM 信号 PWMm の半周期時間の計時が新たに開始される度に (S 5 0 5 : Y E S) 、PWM データ受渡用 R A M 2 2 内の PWM データを読み出して更新し (S 5 1 0) 、更に、計時用カウンタ C N T による半周期時間の計時の途中であっても、PWM データ受渡用 R A M 2 2 内の更新フラグ 0VW(m) がセットされたか否か (換言すれば、C P U 2 0 が PWM データを書き換えたか否か) を判断して (S 5 4 0) 、更新フラグ 0VW(m) がセットされていれば、更新直後の新たな PWM データを読み出して、2 つのしきい値 T 2, T 3 を更新するようにしている (S 5 5 0) 。

【0 1 1 7】そして更に、計時用カウンタ C N T の値が「0」になって PWM 信号 PWMm の半周期時間の計時が新たに開始される度に (S 5 0 5 : Y E S) 、出力反転許可フラグ PFLG2 を「High」にセットする (S 5 3 0) と共に、PWM 信号 PWMm の信号レベルを反転させた時に、出力反転許可フラグ PFLG2 を「Low」にリセットし (S 6 1 0) 、その出力反転許可フラグ PFLG2 が「Low」の場合には (S 5 7 0 : N O) 、S 5 8 0, S 5 9 0, 及び S 6 3 0 の判定処理が実行されないようにして、PWM 信号 PWMm の信号レベルが反転するのを禁止するようにしている。

【0 1 1 8】このため、本第 4 実施形態の PWM 信号出力回路 2 6 から出力される PWM 信号は、従来装置のように、その立上がり或いは立下がりの一方のタイミングが固定されることなく、PWM データ (換言すれば出力すべき PWM 信号のデューティ比) が更新された直後の立上がり及び立下がりタイミングのいずれかで、PWM 信号を、新たな PWM データに対応した信号に変化させることができる。つまり、PWM 信号の立上がり又は立下がりタイミングの一方を固定し、他方のタイミングを制御することにより、PWM 信号を生成していた従来

装置では、PWM 信号のデューティ比を変化させることはできるのは、PWM 信号の 1 周期に 1 回であり、PWM データ更新後、PWM 信号がその更新後のデューティ比に対応するまでの遅れ時間が、最大、PWM 信号の 1 周期時間となるが、本実施形態では、PWM 信号の立上がりと立下がりの両方のタイミングで、PWM 信号のデューティ比を制御できることから、PWM データ更新後に、PWM 信号が更新後のデューティ比に対応するまでの遅れ時間が、最大、PWM 信号の周期の 2 分の 1 の時間となり、制御の応答性が向上する。

【0 1 1 9】また、特に本第 4 実施形態では、PWM データの更新フラグ 0VW(m) から、PWM データの更新状態を監視し、PWM データが更新された場合には、判定期間の切換に同期させることなく、PWM データを読み出してしきい値 T 2, T 3 を再計算することから、再計算時の判定期間内で、PWM 信号が未だ反転していないければ (即ち、出力反転許可フラグ PFLG2 がセット状態であれば) 、再計算後のしきい値 T 2, T 3 に基づき、PWM 信号が反転されることになり、制御の応答性をより向上することができる。

【0 1 2 0】しかも、PWM 信号の信号レベルが反転されると、出力反転許可フラグ PFLG2 がリセットされて、次の半周期時間の計時が開始されるまでは PWM 信号のレベル反転が禁止されるため、第 3 実施形態と同様に、PWM 信号 PWMm の信号レベルが 1 周期時間内に 3 回以上変化することを防止しつつ、C P U 2 0 により PWM データが更新された際の出力デューティ比の応答性を向上させることができる。

【0 1 2 1】尚、本第 4 実施例においては、計時用カウンタ C N T に半周期データ T 1 をセットして、これをダウンカウントすることにより、PWM 信号の半周期時間を計時する、S 5 2 0 及び S 6 2 0 の処理が、計時手段に相当し、計時用カウンタ C N T の値が「0」になる度に判定期間識別フラグ PFLG1 のセット・リセット状態を反転させる、S 6 5 0 及び S 6 6 0 の処理が、期間設定手段に相当している。

【0 1 2 2】そして、S 5 1 0 及び S 5 5 0 にて PWM データ受渡用 R A M 2 2 からオン時間データ T ON(m) を読み込む処理が、駆動データ読込手段に相当し、S 5 1 0 及び S 5 5 0 にて PWM データ受渡用 R A M 2 2 から読み込んだオン時間データ T ON(m) に基づきしきい値 T 2, T 3 を設定する処理と、そのしきい値 T 2, T 3 を用いて PWM 信号の反転タイミングの到来を判定し、PWM 信号の信号レベルを反転させる S 5 8 0, S 5 9 0, S 6 0 0, S 6 3 0, 及び S 6 4 0 の処理とが、信号レベル設定手段に相当している。

【0 1 2 3】そして更に、更新フラグ 0VW(m) がセットされたか否かによって PWM データの更新を監視し、PWM データの更新を検出すると S 5 5 0 の処理を行わせる、S 5 4 0 の処理が、監視手段に相当し、出力反転許

可フラグPFLG2のセット・リセットを行うS530及びS610の処理と、出力反転許可フラグPFLG2が「Low」の場合にS580, S590, 及びS630の判定処理が行われないようにする、S570の処理が、レベル反転禁止手段に相当している。

【第5実施形態】ところで、上記第1～第4実施形態のPWM信号出力回路26では、各チャンネルのPWM信号PWM1～PWM4を夫々生成して出力する各PWM信号出力処理部が、計時用カウンタCNTを1つずつ備えたものであったが（図7参照）、次に、第5実施形態として、1つの計時用カウンタCNTを共用して2つのPWM信号を生成及び出力する構成のPWM信号出力回路26について説明する。

【0124】まず、本第5実施形態の制御装置10は、前述した第2実施形態の制御装置10と比較して、PWM信号出力回路26にて4つのPWM信号PWM1～PWM4を夫々生成するために設けられた4つのPWM信号出力処理部のうちの2つずつが、図12のように構成されており、それ以外については同様である。

【0125】尚、図12は、リニアソレノイドL1に対応したチャンネル1のPWM信号PWM1と、リニアソレノイドL2に対応したチャンネル2のPWM信号PWM2とを、夫々生成して出力するPWM信号出力部の構成を表しているが、残りのリニアソレノイドL3, L4に対応したチャンネル3とチャンネル4の2つのPWM信号PWM3, PWM4を夫々生成して出力するPWM信号出力処理部も、図12と全く同様に構成されている。このため、以下では、チャンネル1とチャンネル2のPWM信号PWM1, PWM2を夫々生成して出力するPWM信号出力処理部の構成について、図12に基づき説明する。

【0126】図12に示すように、本第5実施形態のPWM信号出力回路26に設けられたPWM信号出力処理部は、図7にて点線で囲んだしきい値設定部46, レジスタ48, 及び比較器50からなる駆動データ読込手段及び信号レベル設定手段としての回路ブロック（以下、PWMブロックといい、特にm番目のリニアソレノイドLmに対応するチャンネルmのPWM信号PWMmのPWMブロックを区別する場合には、それをPWMmブロックという）を、チャンネル1とチャンネル2の各PWM信号PWM1, PWM2について1つずつ備えているが、図7と同じ発振子40, ダウンカウンタ42, 及び判定期間識別フラグ設定部44については、1つのみ備えている。

【0127】そして、PWM信号PWM1を出力するPWM1ブロック61（詳しくは、そのしきい値設定部46と比較部50）には、図7に示した第2実施形態のPWM信号出力処理部と同様に、判定期間識別フラグ設定部44からの判定期間識別フラグPFLG1がそのまま供給されるが、PWM信号PWM2を出力するPWM2ブロック62（詳しくは、そのしきい値設定部46と比較部50）には、判定期間識別フラグ設定部44からの判定期間識別

フラグPFLG1をインバータ52によりレベル反転させた信号が、判定期間識別フラグPFLG1として供給される。また、PWM1ブロック61のしきい値設定部46とPWM2ブロック62のしきい値設定部46は、PWMデータ受渡用RAM22から、ダウンカウンタ42へ読み込まれるのと同じ周期データであって、2つのPWM信号PWM1, PWM2に共通の周期データCYCLを読み込む。

【0128】このため、図13に示すように、PWM1ブロック61から出力されるPWM信号PWM1は、図7に示した第2実施形態のPWM信号出力処理部と同様に、判定期間識別フラグ設定部44からの判定期間識別フラグPFLG1が「High」であるオン判定期間において、「Low」レベルから「High」レベルに反転し、判定期間識別フラグ設定部44からの判定期間識別フラグPFLG1が「Low」であるオフ判定期間において、「High」レベルから「Low」レベルに反転するが、PWM2ブロック62から出力されるPWM信号PWM2は、それとは逆に、判定期間識別フラグ設定部44からの判定期間識別フラグPFLG1が「High」であるオン判定期間において、「High」レベルから「Low」レベルに反転し、判定期間識別フラグ設定部44からの判定期間識別フラグPFLG1が「Low」であるオフ判定期間において、「Low」レベルから「High」レベルに反転することとなる。

【0129】つまり、2つのPWMブロック61, 62の各々（詳しくは、PWMデータ受渡用RAM22からオン時間データTON(m)と周期データCYCL(m)を読み込む動作以外の動作を行う部分）は、ダウンカウンタ42にて計時されるPWM信号の半周期時間だけずれた状態で動作する。

【0130】従って、本第5実施形態のPWM信号出力回路26によれば、図13に例示するように、2つのPWM信号PWM1, PWM2のデューティ比の合計が100%未満であれば、2つのPWM信号PWM1, PWM2が同時に「High」レベルにならず、2つのリニアソレノイドL1, L2に同時に電流が流れることが防止されて、当該PWM信号出力回路26が用いられる制御装置10において、リニアソレノイドL1～L4に電流を流すための電源電圧Vbの変動を抑制するのに非常に有利である。

【0131】つまり、PWM信号の立上がり又は立下がりタイミングの一方を固定し、他方のタイミングを制御することにより、PWM信号を生成していた従来装置では、仮に2つのPWM信号を半周期時間だけずらして出力するようにしても、何れか一方のPWM信号のデューティ比が50%を越えると、2つのPWM信号が同時に「High」レベルとなる期間が生じて、2つのリニアソレノイドに同時に電流が流れることとなる。そして、2つのリニアソレノイドに同時に電流が流れると、電源電圧Vbが変動し易くなり、車両に搭載された他の電子機器への悪影響が心配される。これに対して、本第5実施形態のPWM信号出力回路26によれば、2つのPWM信

号のデューティ比の合計が100%未満であれば、そのPWM信号に夫々対応する2つのリニアソレノイドには同時に電流が流れず、電源電圧Vbの変動を抑制し易くなる。

【0132】また、本第5実施形態では、PWM信号の1周期時間でカウント値が2巡するダウンカウンタ42によって、PWM信号の半周期時間を繰り返し計時するようしているため、2つのPWMブロック61、62の構成を同じものとすることができる、非常に有利である。

【0133】尚、前述したように、リニアソレノイドL3、L4に対応したチャンネル3とチャンネル4の2つのPWM信号PWM3、PWM4を夫々生成して出力するPWM信号出力処理部も、図12と全く同様に構成されるが、PWM信号PWM1、PWM2を出力するPWM信号出力処理部のダウンカウンタ42と、PWM信号PWM3、PWM4を出力するPWM信号出力処理部のダウンカウンタ42とが、全く同じタイミングでカント動作を行うように構成した場合には、本第5実施形態のPWM信号出力回路26から出力される4つの各PWM信号PWM1～PWM4は、図14に例示するようなタイミングでレベル変化することとなる。

【0134】つまり、PWM信号PWM1とPWM信号PWM3は、判定期間識別フラグ設定部44からの判定期間識別フラグPFLG1の立ち下がりタイミングを中心にして、「High」レベルとなり、PWM信号PWM2とPWM信号PWM4は、判定期間識別フラグ設定部44からの判定期間識別フラグPFLG1の立ち上がりタイミングを中心にして、「High」レベルとなる。

【0135】尚、この場合には、PWM信号PWM1、PWM2を出力するPWM信号出力処理部と、PWM信号PWM3、PWM4を出力するPWM信号出力処理部とで（詳しくは、4つのPWM信号PWM1～PWM4を夫々出力する各PWMブロックで）、ダウンカウンタ42と判定期間識別フラグ設定部44を共用するように構成することもできる。

【0136】また例えば、PWM信号PWM1、PWM2を出力するPWM信号出力処理部のダウンカウンタ42と、PWM信号PWM3、PWM4を出力するPWM信号出力処理部のダウンカウンタ42とが、PWM信号の1周期時間の4分の1の時間（1/4周期）だけずれたタイミングでカント動作を行うように構成すれば、本第5実施形態のPWM信号出力回路26から出力される4つの各PWM信号PWM1～PWM4は、図15に例示するようなタイミングでレベル変化することとなる。

【0137】つまり、PWM信号PWM1は、判定期間識別フラグ設定部44からの判定期間識別フラグPFLG1の立ち下がりタイミングを中心にして、「High」レベルとなり、PWM信号PWM2は、判定期間識別フラグ設定部44からの判定期間識別フラグPFLG1の立ち上がりタイミングを中心にして、「High」レベルとなり、PWM信号PW

M3は、判定期間識別フラグ設定部44からの判定期間識別フラグPFLG1に対してPWM信号の1/4周期ずれでレベル反転する判定期間識別フラグPFLG1'の立ち下がりタイミングを中心にして、「High」レベルとなり、PWM信号PWM4は、上記判定期間識別フラグPFLG1'の立ち上がりタイミングを中心にして、「High」レベルとなる。そして、このように構成すれば、リニアソレノイドL1～L4に同時に電流が流れる確率をより小さくすることができ、電源電圧Vbの変動を抑制する効果を高めることができる。

【0138】一方、図12に示したPWM信号出力処理部の動作は、図16に示すPWM信号出力処理を一定時間（例えば1μsec.）毎に実行することで実現することができる。即ち、このPWM信号出力処理では、まずS710にて、計時用カウンタCNTの値が「0」であるか否かを判断する。そして、計時用カウンタCNTの値が「0」でなければ、そのままS745に移行するが、計時用カウンタCNTの値が「0」であれば、計時用カウンタCNTによるPWM信号PWM1、PWM2の半周期時間の計時を新たに開始した時点であるとして、S715に進む。

【0139】そして、このS715にて、PWMデータ受渡用RAM22から、PWM信号PWM1、PWM2に共通の周期データCYCLを読み込み、計時用カウンタCNTに、その読み込んだ周期データCYCLの2分の1の値を設定する。そして更に、続くS720にて、判定期間識別フラグPFLG1が「High」にセットされているか否かを判断し、判定期間識別フラグPFLG1がセットされていれば、現在はオン判定期間であるとして、S725に進み、まず、PWMデータ受渡用RAM22から、PWM信号PWM1のオン時間データTON(1)を読み込み、次いで、その読み込んだオン時間データTON(1)の2分の1の値を、PWM信号PWM1反転用のしきい値T2(1)として設定する。そして、続くS730にて、まず、PWMデータ受渡用RAM22から、PWM信号PWM2のオン時間データTON(2)を読み込み、次いで、S715で読み込んだ周期データCYCLから上記読み込んだオン時間データTON(1)を減じた値（=CYCL-TON(2)）の2分の1の値を、PWM信号PWM2反転用のしきい値T2(2)として設定し、その後、S745に移行する。

【0140】また、S720で判定期間識別フラグPFLG1がセットされていない（リセットされている）と判断されると、現在はオフ判定期間であるとして、S735に移行し、まず、PWMデータ受渡用RAM22から、PWM信号PWM1のオン時間データTON(1)を読み込み、次いで、S715で読み込んだ周期データCYCLから上記読み込んだオン時間データTON(1)を減じた値（=CYCL-TON(1)）の2分の1の値を、PWM信号PWM1反転用のしきい値T2(1)として設定する。そして、続くS740にて、まず、PWMデータ受渡用RAM22から、

PWM信号PWM2のオン時間データTON(2)を読み込み、次いで、その読み込んだオン時間データTON(2)の2分の1の値を、PWM信号PWM2反転用のしきい値T2(2)として設定し、その後、S745に移行する。

【0141】S745では、計時用カウンタCNTの値がしきい値T2(1)と一致しているか否かを判断し、計時用カウンタCNTの値がしきい値T2(1)と一致していなければ、そのままS765に移行する。一方、S745にて、計時用カウンタCNTの値がしきい値T2(1)と一致していると判断されると、S750に進んで、判定期間識別フラグPFLG1が「High」にセットされているか否かを判断する。そして、判定期間識別フラグPFLG1がセットされていれば、現在はオン判定期間であり、しきい値T2(1)は上記S725で設定されたオン時間データTON(1)の2分の1の値であるため、オン判定期間の開始時からの計時用カウンタCNTによる計時時間がPWM信号PWM1のオフ時間の半分の時間（第2時間）に達したとして、S755に進み、PWM信号PWM1の出力レベルを「High」に設定した後、S765に移行する。

【0142】また逆に、S750にて、判定期間識別フラグPFLG1がセットされていないと判断されると、現在はオフ判定期間であり、しきい値T2(1)は上記S735で設定された値（周期データCYCLからオン時間データTON(1)を減じた値の2分の1の値）であるため、オフ判定期間の開始時からの計時用カウンタCNTによる計時時間がPWM信号PWM1のオン時間の半分の時間（第1時間）に達したとして、S760に進み、PWM信号PWM1の出力レベルを「Low」に設定した後、S765に移行する。

【0143】次に、S765では、計時用カウンタCNTの値がしきい値T2(2)と一致しているか否かを判断し、計時用カウンタCNTの値がしきい値T2(2)と一致していなければ、そのままS785に移行する。一方、S765にて、計時用カウンタCNTの値がしきい値T2(2)と一致していると判断されると、S770に進んで、判定期間識別フラグPFLG1が「High」にセットされているか否かを判断する。そして、判定期間識別フラグPFLG1がセットされていれば、現在はオン判定期間であり、しきい値T2(2)は上記S730で設定された値（周期データCYCLからオン時間データTON(2)を減じた値の2分の1の値）であるため、オン判定期間の開始時からの計時用カウンタCNTによる計時時間がPWM信号PWM2のオン時間の半分の時間（第1時間）に達したとして、S775に進み、PWM信号PWM1の出力レベルを「Low」に設定した後、S785に移行する。

【0144】また逆に、S770にて、判定期間識別フラグPFLG1がセットされていないと判断されると、現在はオフ判定期間であり、しきい値T2(2)は上記S740で設定されたオン時間データTON(2)の2分の1の値

であるため、オフ判定期間の開始時からの計時用カウンタCNTによる計時時間がPWM信号PWM2のオフ時間の半分の時間（第2時間）に達したとして、S780に進み、PWM信号PWM1の出力レベルを「High」に設定した後、S785に移行する。

【0145】そして、S785では、計時用カウンタCNTの値を1デクリメント(-1)し、続くS790では、計時用カウンタCNTの値が「0」であるか否かを判断する。そして、計時用カウンタCNTの値が「0」でなければ、そのまま当該処理を終了するが、計時用カウンタCNTの値が「0」であれば、S795に移行して、判定期間識別フラグPFLG1のセット・リセット状態を反転させた後、当該処理を終了する。

【0146】即ち、この第5実施形態のPWM信号出力処理において、S710, S715, S720, S785, S790, 及びS795の処理は、図6のS310, S315, S320, S355, S360, 及びS365の処理と同じである。そして、S725, S735, S745, S750, S755, 及びS760の処理が、PWM信号PWM1を生成するためのPWM1ブロック61（PWM信号PWM1用の駆動データ読込手段及び信号レベル設定手段）に相当する処理であり、これらの処理も、図6のS325, S330, S335, S340, S345, 及びS350の処理と同じである。

【0147】これに対して、S730, S740, S765, S770, S775, 及びS780の処理が、PWM信号PWM2を生成するためのPWM2ブロック62（PWM信号PWM2用の駆動データ読込手段及び信号レベル設定手段）に相当する処理であり、これらの処理は図6のPWM信号出力処理に対して追加されたものである。

【0148】そして、本第5実施形態のPWM信号出力処理では、S720で判定期間識別フラグPFLG1が「High」であると判断された場合に、S730にて、S330及びS735と同様の手順により、PWM信号PWM2反転用のしきい値T2(2)を設定し、また、S720で判定期間識別フラグPFLG1が「Low」であると判断された場合に、S740にて、S325及びS725と同様の手順により、PWM信号PWM2反転用のしきい値T2(2)を設定し、更に、S770で判定期間識別フラグPFLG1が「High」であると判断すると、S775にてPWM信号PWM2を「Low」レベルにし、S770で判定期間識別フラグPFLG1が「Low」であると判断すると、S780にてPWM信号PWM2を「High」レベルにすることにより、PWM信号PWM2を生成するための処理（S730, S740, S765～S780）が、PWM信号PWM1を生成するための処理（S725, S735, S745～S760）に対して、PWM信号PWM1, PWM2の半周期時間分だけずれるようにしている。

【0149】そして、この図16のPWM信号出力処理

がマイクロコンピュータ等で繰り返し実行されるようすれば、図12のPWM信号出力処理部と全く同様に、1つの計時用カウンタCNTを共用して、2つのPWM信号PWM1, PWM2を生成することができる。

【第6実施形態】次に、第6実施形態のPWM信号出力回路26は、図17に示すように、図12に示した第5実施形態のPWM信号出力処理部（即ち、発振子40, ダウンカウンタ42, 判定期間識別フラグ設定部44, PWM1ブロック61, PWM2ブロック62, 及びインバータ52）に加えて、更に、ダウンカウンタ42と同様に発振子40からのクロック信号に同期してダウンカウントを行うダウンカウンタ42-2と、そのダウンカウンタ42-2のカウント値（CNT）に基づき、判定期間識別フラグ設定部44と同様の手順で判定期間識別フラグPFLG1'を出力する判定期間識別フラグ設定部44-2と、その判定期間識別フラグ設定部44-2から出力される判定期間識別フラグPFLG1'を、レベル反転させて出力するインバータ54と、PWM信号PWM3出力用のPWMブロック（PWM3ブロック）63と、PWM信号PWM4出力用のPWMブロック（PWM4ブロック）64などを備えている。

【0150】そして、ダウンカウンタ42-2は、ダウンカウンタ42に対して、PWM信号の1周期時間の4分の1の時間（1/4周期）だけ遅れたタイミングでダウンカウント動作を行う。尚、前述したように、PWMブロック63, 64も、図7にて点線で囲んだしきい値設定部46, レジスタ48, 及び比較器50からなる回路ブロックである。

【0151】また更に、本第6実施形態のPWM信号出力回路26には、2つの切替スイッチ56, 58が設けられている。そして、PWM3ブロック63へは、切替スイッチ56が第1の切替位置aに設定されている場合に、ダウンカウンタ42のカウント値（CNT）と判定期間識別フラグ設定部44からの判定期間識別フラグPFLG1'が供給され、切替スイッチ56が第2の切替位置bに設定されている場合に、ダウンカウンタ42-2のカウント値（CNT）と判定期間識別フラグ設定部44-2からの判定期間識別フラグPFLG1'が供給される。また、PWM4ブロック64へは、切替スイッチ58が第1の切替位置aに設定されている場合に、ダウンカウンタ42のカウント値（CNT）とインバータ52の出力信号（判定期間識別フラグPFLG1'を反転させた信号）とが供給され、切替スイッチ58が第2の切替位置bに設定されている場合に、ダウンカウンタ42-2のカウント値（CNT）とインバータ52の出力信号（判定期間識別フラグPFLG1'を反転させた信号）とが供給される。

【0152】以上のように構成された本第6実施形態のPWM信号出力回路26では、2つの切替スイッチ56, 58を上記第1の切替位置aに設定すれば、当該回

路26から出力される4つのPWM信号PWM1～PWM4は、前述の図14に例示したようなタイミングでレベル変化することとなり、また、2つの切替スイッチ56, 58を上記第2の切替位置bに設定すれば、当該回路26から出力される4つのPWM信号PWM1～PWM4は、前述の図15に例示したようなタイミングでレベル変化することとなる。このため、4つのPWM信号PWM1～PWM4の出力時間差を変えるのに非常に有利である。

【0153】また、本第6実施形態のPWM信号出力回路26によれば、2つの切替スイッチ56, 58を上記第2の切替位置bに設定して、2つのダウンカウンタ42, 42-2が繰り返しカウントするPWM信号の半周期時間を変えてやれば、PWM信号PWM1, PWM2の周期とPWM信号PWM3, PWM4の周期とを異なるものにすることができる、有利である。

【0154】以上、本発明の一実施形態について説明したが、本発明は、前述した各実施形態に限定されるものではなく、種々の形態を採り得ることは言うまでもない。例えば、第2～第6実施形態のPWM信号出力回路26では、PWM信号の半周期時間を繰り返し計時する計時手段として、PWM信号の1周期時間でカウント値が2巡するダウンカウンタを用いたが、PWM信号の1周期時間でカウント値が2巡するアップカウンタを用いてもよい。

【0155】具体例を挙げると、例えば第2実施形態のPWM信号出力回路26については、図6のPWM信号出力処理を以下のように変更すれば良い。

①：S310では、計時用カウンタCNTの値が、後述するS315の前回の処理で設定されている半周期データT1の値であるか否かを判断する。

【0156】②：S315では、PWMデータ受渡用RAM22からPWM信号PWMmの周期データCYCL(m)を読み込んで、その周期データCYCL(m)の2分の1の値を半周期データT1として設定し、更に、計時用カウンタCNTに初期値として「0」を設定する。

【0157】③：S325の処理とS330の処理を入れ替える。即ち、S325では、PWMデータ受渡用RAM22からPWM信号PWMmのオン時間データTON(m)を読み込むと共に、S315で読み込んだ周期データCYCL(m)から上記読み込んだオン時間データTON(m)を減じた値（=CYCL(m)-TON(m)）の2分の1の値を、しきい値T2として設定する。また、S330では、PWMデータ受渡用RAM22からPWM信号PWMmのオン時間データTON(m)を読み込み、その読み込んだオン時間データTON(m)の2分の1の値を、しきい値T2として設定する。

【0158】④：S355では、計時用カウンタCNTの値を1インクリメント（+1）する。

⑤：S360では、計時用カウンタCNTの値が、S315で設定された半周期データT1（=CYCL(m)/2）

に達したか否かを判断する。

【0159】そして、上記①～⑤のように変更すれば、計時用カウンタC N Tをアップカウンタとして動作させて、P W M信号P W M mの半周期時間を繰り返し計時することができ、このように変更しても、前述した第2実施形態の効果と同じ効果を得ることができる。また、このことは、第3～第6実施形態についても同様である。

【図面の簡単な説明】

【図1】 第1実施形態の通電制御装置の構成を表すブロック図である。

【図2】 P W Mデータ受渡用R A M及びそれに格納されるP W Mデータを説明する説明図である。

【図3】 C P Uで実行されるソレノイド制御処理を表すフローチャートである。

【図4】 第1実施形態のP W M信号出力回路で実行されるP W M信号出力処理を表すフローチャートである。

【図5】 第1実施形態のP W M信号出力回路の動作を表すタイムチャートである。

【図6】 第2実施形態のP W M信号出力回路で実行されるP W M信号出力処理を表すフローチャートである。

【図7】 図6のP W M信号出力処理を実現するP W M信号出力処理部の構成を表すブロック図である。

【図8】 第2実施形態のP W M信号出力回路の動作を表すタイムチャートである。

【図9】 第3実施形態のP W M信号出力回路で実行されるP W M信号出力処理を表すフローチャートである。

【図10】 第4実施形態のP W M信号出力回路で実行されるP W M信号出力処理を表すフローチャートである。

【図11】 第4実施形態のP W M信号出力回路の動作

を表すタイムチャートである。

【図12】 第5実施形態のP W M信号出力回路に設けられたP W M信号出力処理部の構成を表すブロック図である。

【図13】 図12のP W M信号出力処理部の動作を表すタイムチャートである。

【図14】 第5実施形態のP W M信号出力回路から出力される各P W M信号のレベル変化タイミングの一例を表すタイムチャートである。

【図15】 第5実施形態のP W M信号出力回路から出力される各P W M信号のレベル変化タイミングの他の例を表すタイムチャートである。

【図16】 図12のP W M信号出力処理部の動作を実現するためのP W M信号出力処理を表すフローチャートである。

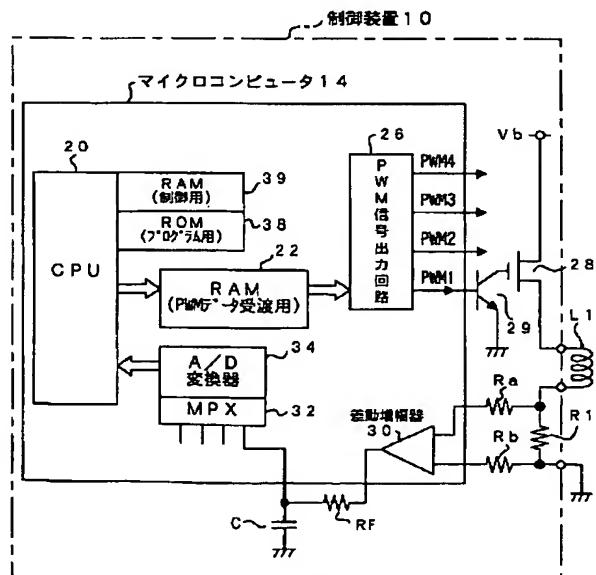
【図17】 第6実施形態のP W M信号出力回路の構成を表すブロック図である。

【図18】 従来技術の問題を説明する説明図である。

【符号の説明】

L 1…リニアソレノイド、R 1…電流検出用抵抗、1 0…通電制御装置（制御装置）、1 4…リニアソレノイド制御用マイクロコンピュータ（マイコン）、2 0…C P U、2 2…P W Mデータ受渡用R A M、2 6…P W M信号出力回路、2 8…F E T、2 9…N P Nトランジス
タ、3 0…差動増幅器、3 4…A / D変換器、4 0…発振子、4 2，4 2-2…ダウンカウンタ、4 4，4 4-
2…判定期間識別フラグ設定部、4 6…しきい値設定
部、4 8…レジスタ、5 0…比較器、5 2，5 4…イン
バータ、5 6，5 8…切替スイッチ、6 1～6 4…P W
Mブロック

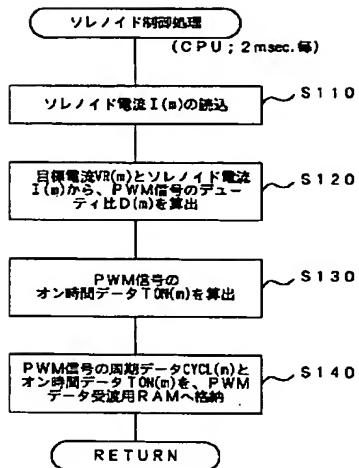
【図1】



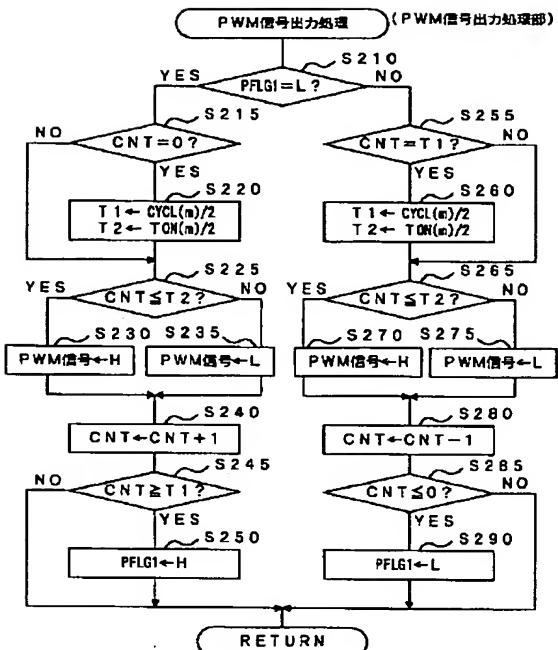
【図2】

P W Mデータ受渡用R A M 2 2	
P W M 1用 P W Mデータ	周期データCYCL(1) オン時間データTON(1)
P W M 2用 P W Mデータ	周期データCYCL(2) オン時間データTON(2)
P W M 3用 P W Mデータ	周期データCYCL(3) オン時間データTON(3)
P W M 4用 P W Mデータ	周期データCYCL(4) オン時間データTON(4)

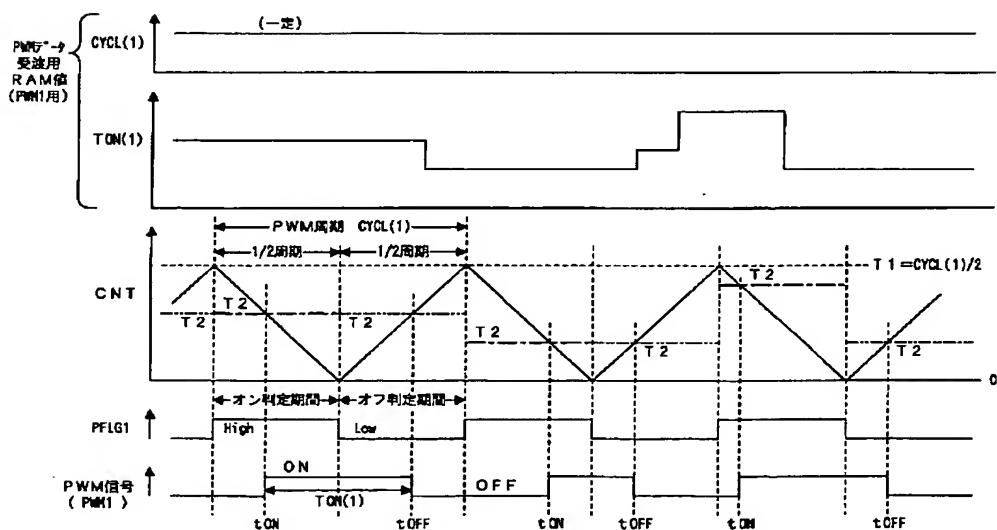
【図3】



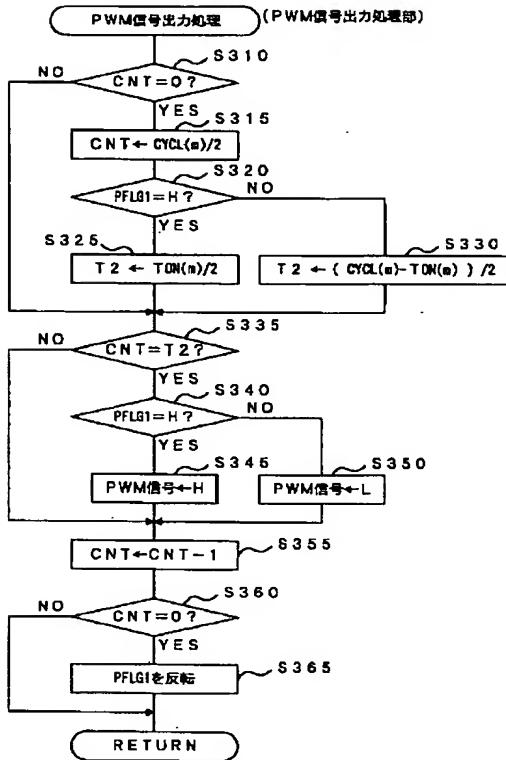
【図4】



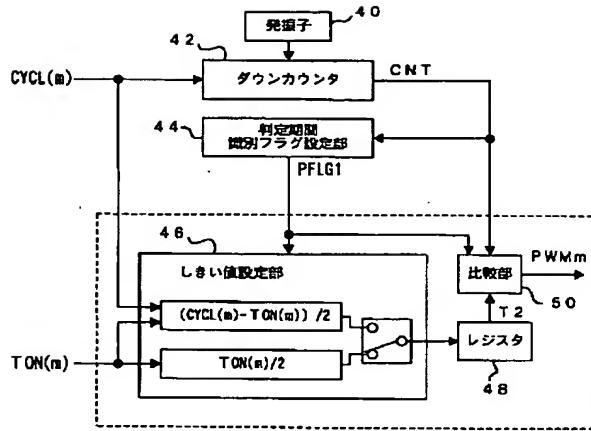
【図5】



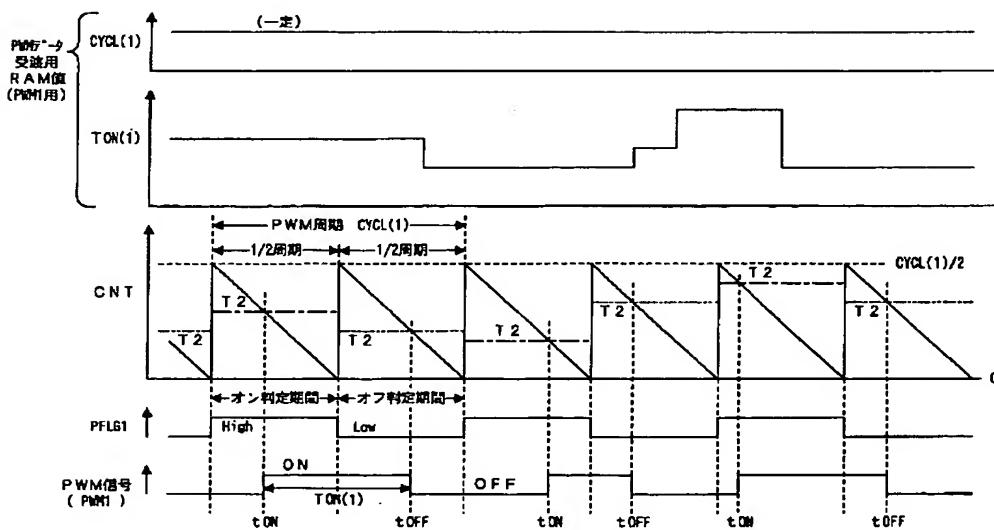
【図6】



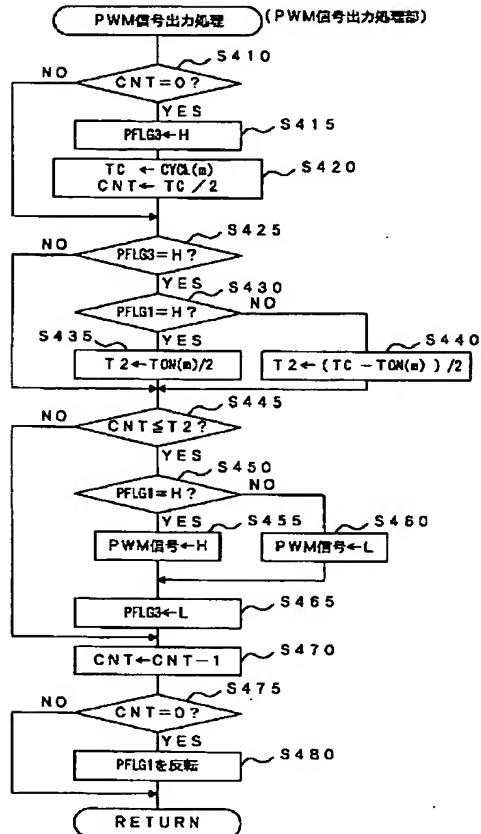
【図7】



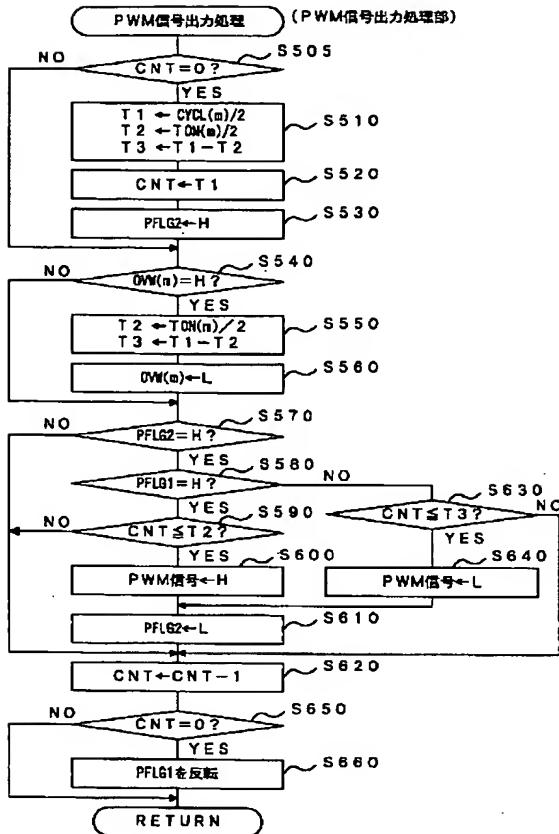
【図8】



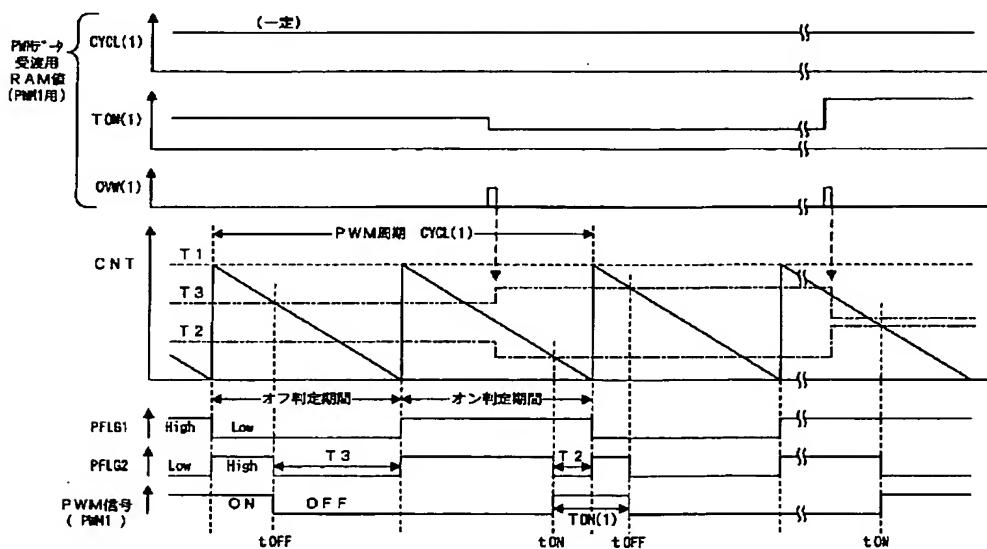
【図9】



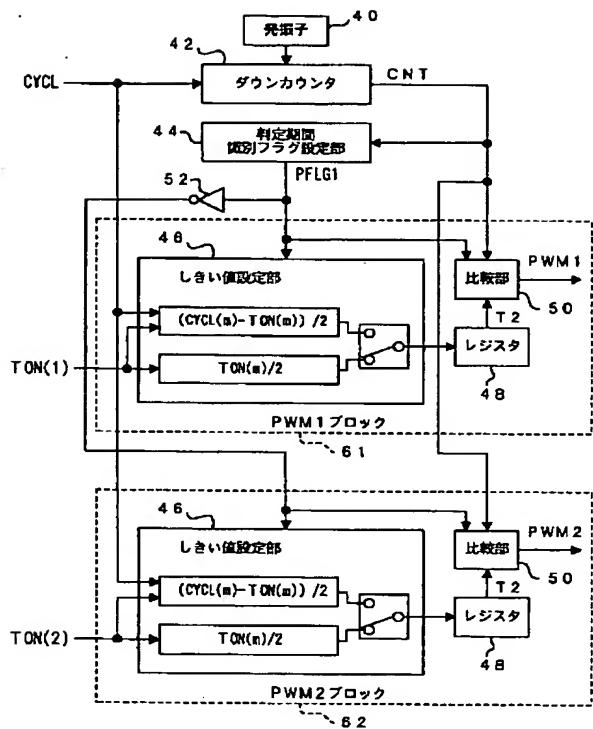
【図10】



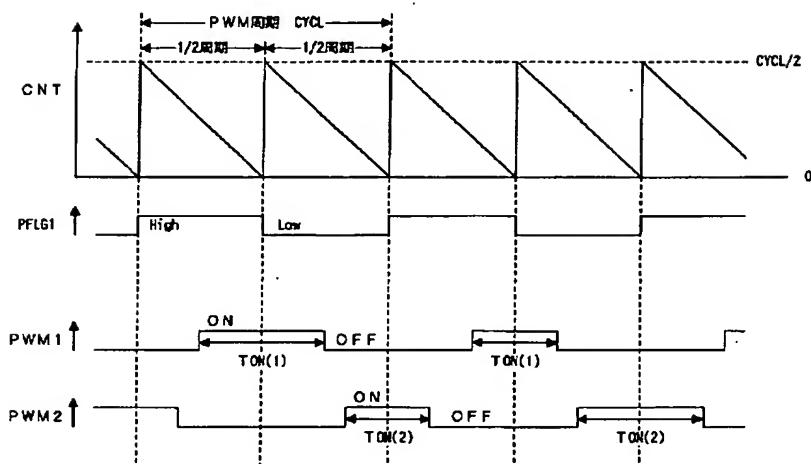
【図11】



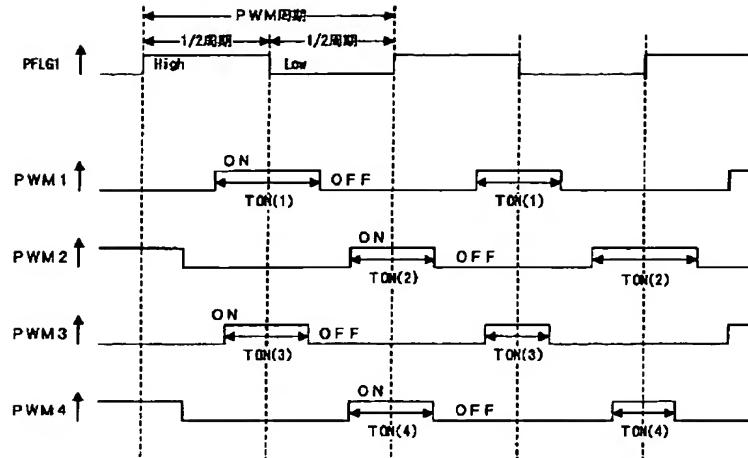
【図12】



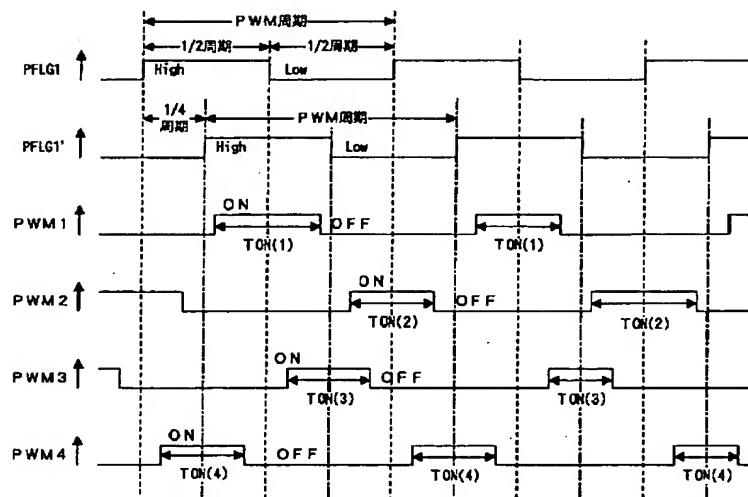
【図13】



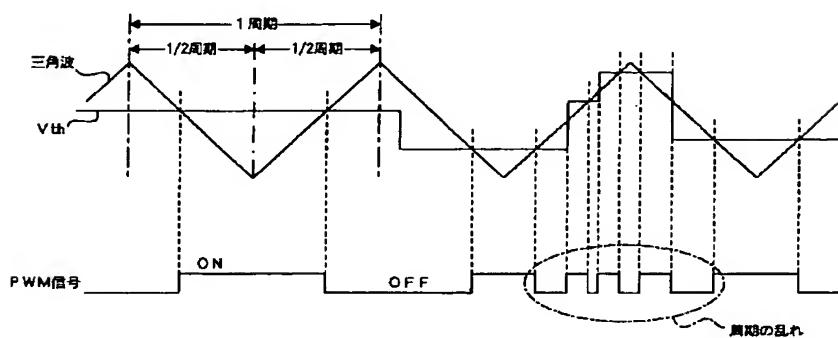
【図14】



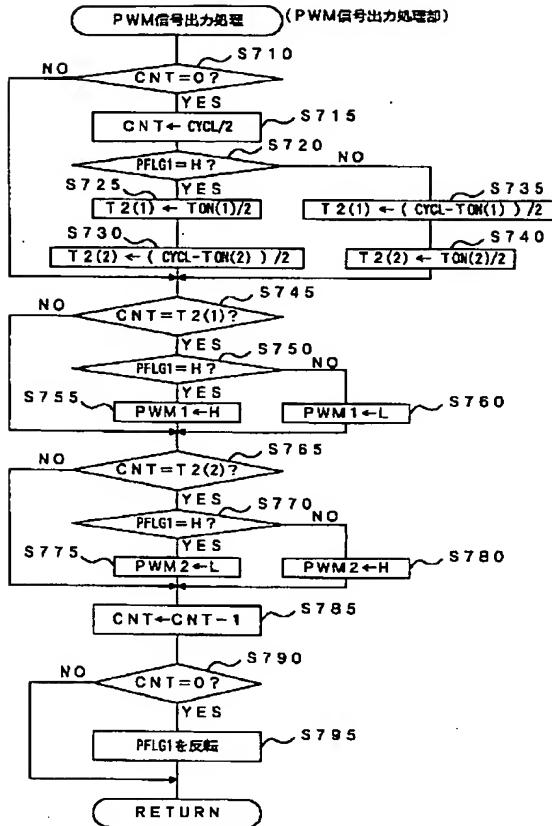
【図15】



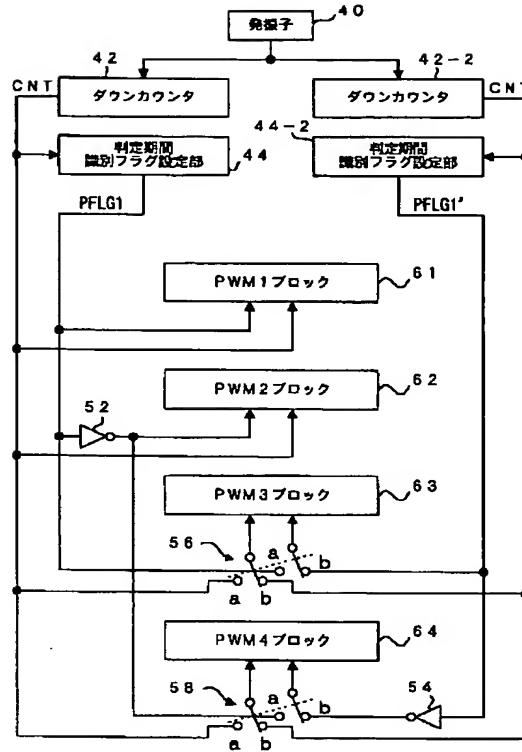
【図18】



【図16】



【図17】



フロントページの続き

(51) Int.Cl. 7 識別記号
 H 0 3 K 7/08
 // H 0 2 P 7/63 3 0 2

F I テーマコード (参考)
 H 0 3 K 7/08 B 5 J 0 4 9
 H 0 2 P 7/63 3 0 2 K

F ターム (参考) 3G301 LC10 ND41
 3H106 FA04 KK18
 5H540 AA10 BA10 EE02 EE08 EE11
 FC02
 5H576 AA15 BB09 CC01 DD10 EE11
 GG04 HA03 HB03 JJ03 JJ12
 JJ17 JJ18 KK06 LL22
 5H730 AA10 AS02 DD04 DD32 EE19
 EE58 FD31 FF02 FF09 FG05
 FG08
 5J049 AA13 AA17 AA20 AA31 CC03